

ARM体系结构与应用系统设计示例

李 驹 光

E_mail: LJG_express@263.net

北京微芯力科技有限公司



主要内容

一、ARM体系结构简介

二、基于S3C4510B(ARM7TDMI)最小系统的设计

三、基于ARM体系的嵌入式操作系统

ARM处理器系列

ARM处理器目前包括以下几个系列：

- ARM7系列
- ARM9系列
- ARM9E系列
- ARM10E系列
- ARM11系列（最近已推出）
- Intel的 Xscale



一、ARM体系结构简介（一）

首先对字（Word）、半字（Half-Word）、字节（Byte）的概念作一个说明：

字（Word）：在ARM体系结构中，字的长度为32位，而在8位/16位处理器体系结构中，字的长度一般为16位，请注意区分。

半字（Half-Word）：在ARM体系结构中，半字的长度为16位，与8位/16位处理器体系结构中字的长度一致。

字节（Byte）：在ARM体系结构和8位/16位处理器体系结构中，字节的长度均为8位。

一、ARM体系结构简介（二）

1、ARM微处理器的工作状态

从编程的角度看，ARM微处理器的工作状态一般有两种，并可在两种状态之间切换：

- 第一种为ARM状态，此时处理器执行32位的字对齐的ARM指令；
- 第二种为Thumb状态，此时处理器执行16位的、半字对齐的Thumb指令。

2、ARM体系结构的存储器格式

大端格式：字数据的高字节存储在低地址中，而字数据的低字节则存放在高地址中。

小端格式：与大端存储格式相反，在小端存储格式中，低地址中存放的是字数据的低字节，高地址存放的是字数据的高字节。

一、ARM体系结构简介（三）

3、处理器模式

ARM微处理器支持7种运行模式，分别为：

用户模式（usr）：ARM处理器正常的程序执行状态

快速中断模式（fiq）：用于高速数据传输或通道处理

外部中断模式（irq）：用于通用的中断处理

管理模式（svc）：操作系统使用的保护模式

指令终止模式(abt)：当指令预取终止时进入该模式。

数据访问终止模式(abt)：当数据访问终止时进入该模式，可用于虚拟存储及存储保护。

系统模式（sys）：运行具有特权的操作系统任务。

一、ARM体系结构简介（四）

4、寄存器组织

ARM状态下的寄存器组织：

通用寄存器：包括R0 ~ R15，可以分为三类：

未分组(Unbanked)寄存器R0 ~ R7；

分组(Banked)寄存器R8 ~ R14

程序计数器PC(R15)

CPSR(Current Program Status Register，当前程序状态寄存器)，CPSR可在任何运行模式下被访问

每一种运行模式下又都有一个专用的物理状态寄存器，称为SPSR (Saved Program Status Register，备份的程序状态寄存器)

一、ARM体系结构简介（五）

5、异常（Exceptions）

当正常的程序执行流程发生暂时的停止或改变时，称之为异常，例如处理一个外部的中断请求。

- **复位**：当处理器的复位电平有效时，产生复位异常，程序跳转到复位异常处理程序处执行。
- **未定义指令**：当ARM处理器或协处理器遇到不能处理的指令时，产生未定义指令异常。可使用该异常机制进行软件仿真。
- **软件中断**：该异常由执行SWI指令产生，可用于用户模式下的程序调用特权操作指令。可使用该异常机制实现系统功能调用。
- **指令预取中止**：若处理器预取指令的地址不存在，或该地址不允许当前指令访问，存储器会向处理器发出中止信号，但当预取的指令被执行时，才会产生指令预取中止异常。

一、ARM体系结构简介（六）

- **数据中止**：若处理器数据访问指令的地址不存在，或该地址不允许当前指令访问时，产生数据中止异常。
- **IRQ（外部中断请求）**：当处理器的外部中断请求引脚有效，且CPSR中的I位为0时，产生IRQ异常。系统的外设可通过该异常请求中断服务。
- **FIQ（快速中断请求）**：当处理器的快速中断请求引脚有效，且CPSR中的F位为0时，产生FIQ异常。

一、ARM体系结构简介（七）

6、ARM处理器对异常响应

- (1) 将下一条指令的地址存入相应连接寄存器LR，以便程序在处理异常返回时能从正确的位置重新开始执行。
- (2) 将CPSR复制到相应的SPSR中。
- (3) 根据异常类型，强制设置CPSR的运行模式位。
- (4) 强制PC从相关的异常向量地址取下一条指令执行，从而跳转到相应的异常处理程序处。

7、从异常返回

异常处理完毕之后，ARM微处理器会执行以下几步操作从异常返回：

- (1) 将连接寄存器LR的值减去相应的偏移量后送到PC中。
- (2) 将SPSR复制回CPSR中。

一、ARM体系结构简介（八）

8、异常向量（Exception Vectors）

0x0000, 0000 : 复位

0x0000, 0004 : 未定义指令

0x0000, 0008 : 软件中断

0x0000, 000C : 中止（预取指令）

0x0000, 0010 : 中止（数据）

0x0000, 0014 : 保留

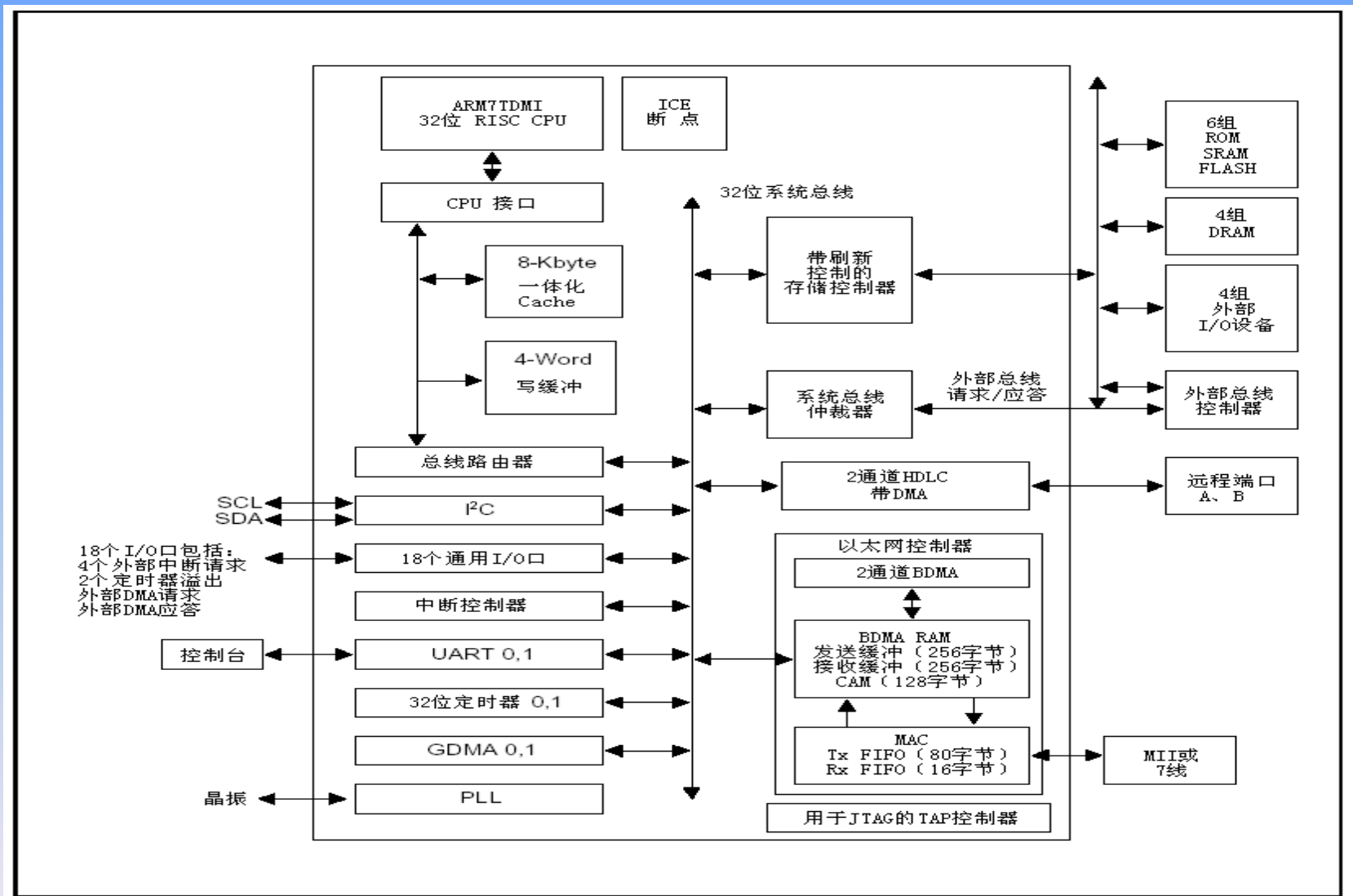
0x0000, 0018 : IRQ

0x0000, 001C : FIQ

二、基于S3C4510B最小系统的设计

- 适用于嵌入式以太网集成系统的应用
- 支持32位的ARM指令和16位的Thumb指令
- 支持小/大端模式
- 高效 ARM7TDMI 微处理器核
- 丰富的片内外围，以适用于不同的应用

S3C4510B框图



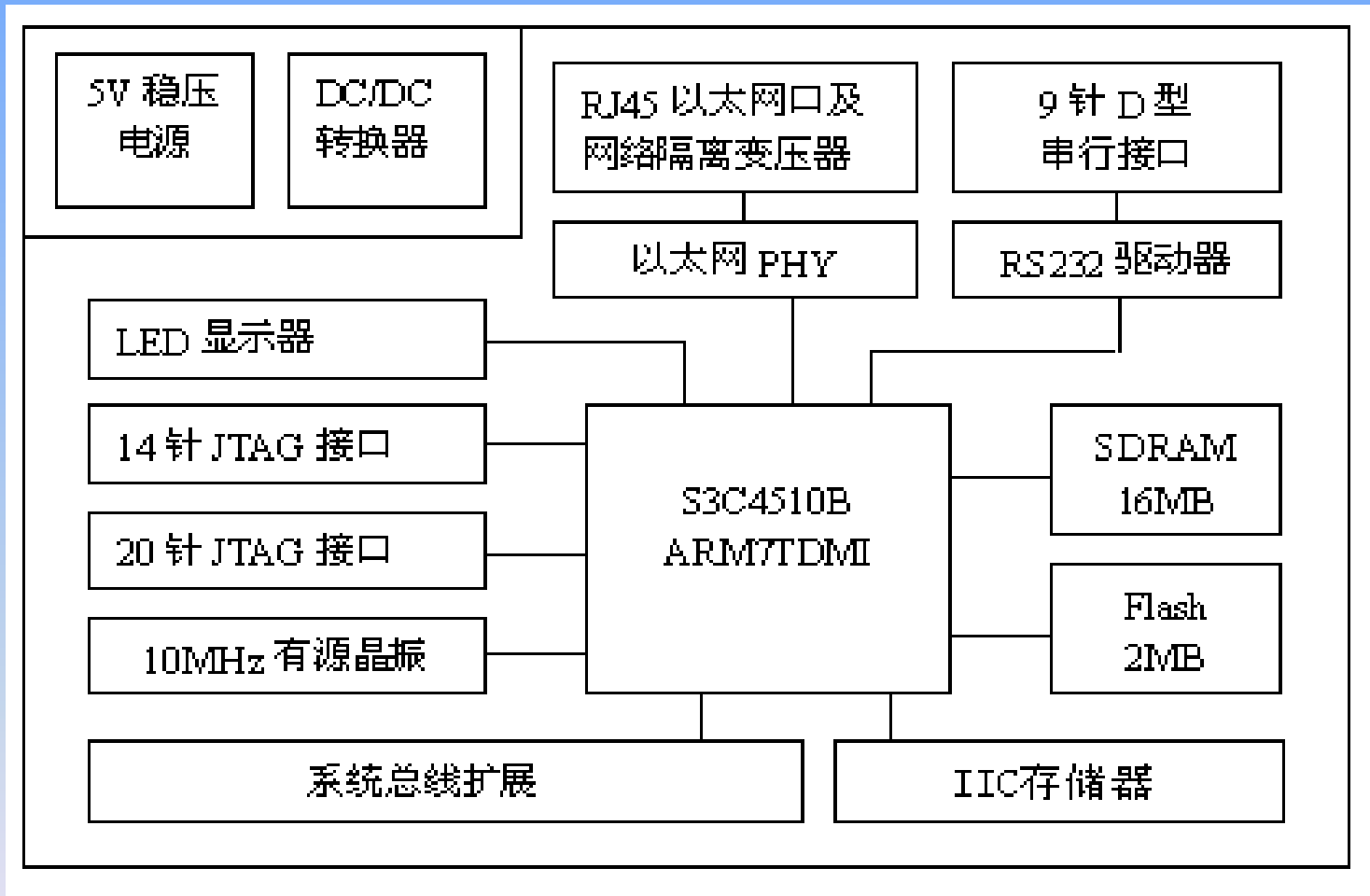
基于S3C4510B最小系统的设计

ARM最小系统一般包括:

1. ARM芯片。
2. 电源电路、复位电路，晶振电路。
3. 存储器（FLASH和SDRAM）
4. UART接口电路。
5. JTAG调试接口。

通常，为了系统的调试方便，可以通用I/O口连接若干LED，用以指示系统的工作状态。

系统结构框图：



CPU芯片（一）：

S3C4510B共有208只引脚，在此不画出，参见S3C4510B的用户手册。

尽管S3C4510B引脚多，但根据各自的功能，分布很有规律，

首先，电源和接地引脚约50根，再除去地址线、数据线和通用I/O口，以及其他的专用接口，真正需要仔细研究的引脚数就不是很多了，这些引脚主要是控制信号，我们在其后的单元电路里再详细说明。

注意引脚的类型：I、O、I/O

CPU芯片（二）：

LITTLE（Pin49）：高电平 = 小端模式；低电平 = 大端模式；

该引脚在片内下拉。一般接高电平。

FILTER（Pin55）：如果使用PLL电路，应在该引脚和地之间接820pF的电容。

TCK、TMS、TDI、TDO、nTRST（Pin58 ~ Pin62）：根据IEEE标准，TCK应下拉，TMS、TDI和nTRST应上拉。S3C4510B已按此标准在片内连接。注意nTRST与系统复位nRESET的关系。

TMODE（Pin63）：高电平 = 芯片测试模式；低电平 = 正常工作模式；一般接地。

CPU芯片（三）：

nEWAIT (Pin71) : 外部等待信号。该引脚应上拉。

BOSIZE[1:0] (Pin74,Pin73) : BANK0数据宽度选择。‘01’ = 8位；‘10’ = 16位；‘11’ = 32位；‘00’ = 保留。

CLKOEN (Pin76) : 时钟输出允许/禁止。高电平 = 允许；低电平 = 禁止；一般接高电平。

XCLK (Pin80) : 系统时钟源。接晶振的输出。

nRESET (Pin82) : 系统复位引脚。低电平复位，当系统正常工作时，该引脚应处于高电平状态。

CLKSEL (Pin83) : 时钟选择。高电平 = XCLK直接作为系统时钟；低电平 = XCLK经过PLL电路倍频后作为系统时钟。

CPU芯片（四）：

ExtMREQ（Pin108）：外部主机总线请求信号。该引脚应下拉。

其余引脚为电源线、接地线、数据总线、地址总线以及其他功能模块地输入/输出线，对CPU自身地运行地影响相对较小。

电源电路（一）：

S3C4510B及部分外围器件的工作电压为3.3V，还有部分外围器件的工作电压为5V，因此整个最小系统需要两组工作电压，即：3.3V和5V。

5V电压由外部电源引入，3.3V电压由5V转3.3V的DC - DC转换器获得。常用的DC - DC转换器型号很多，在此选用：LT108X系列（Linear Technology）。

LT1083 7.5A

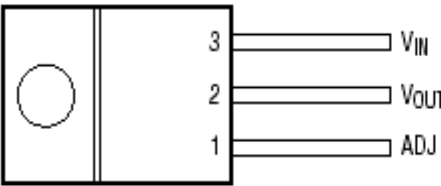
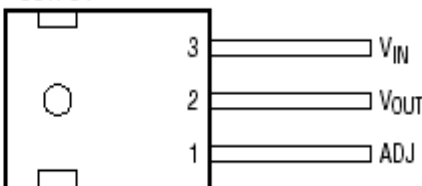
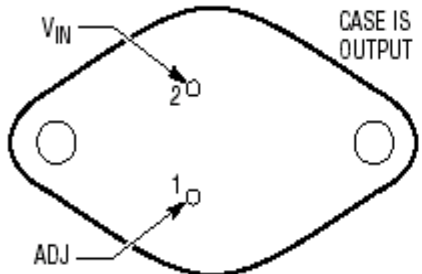
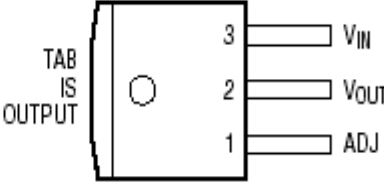
LT1084 5A

LT1085 3A

LT1086 1.5A

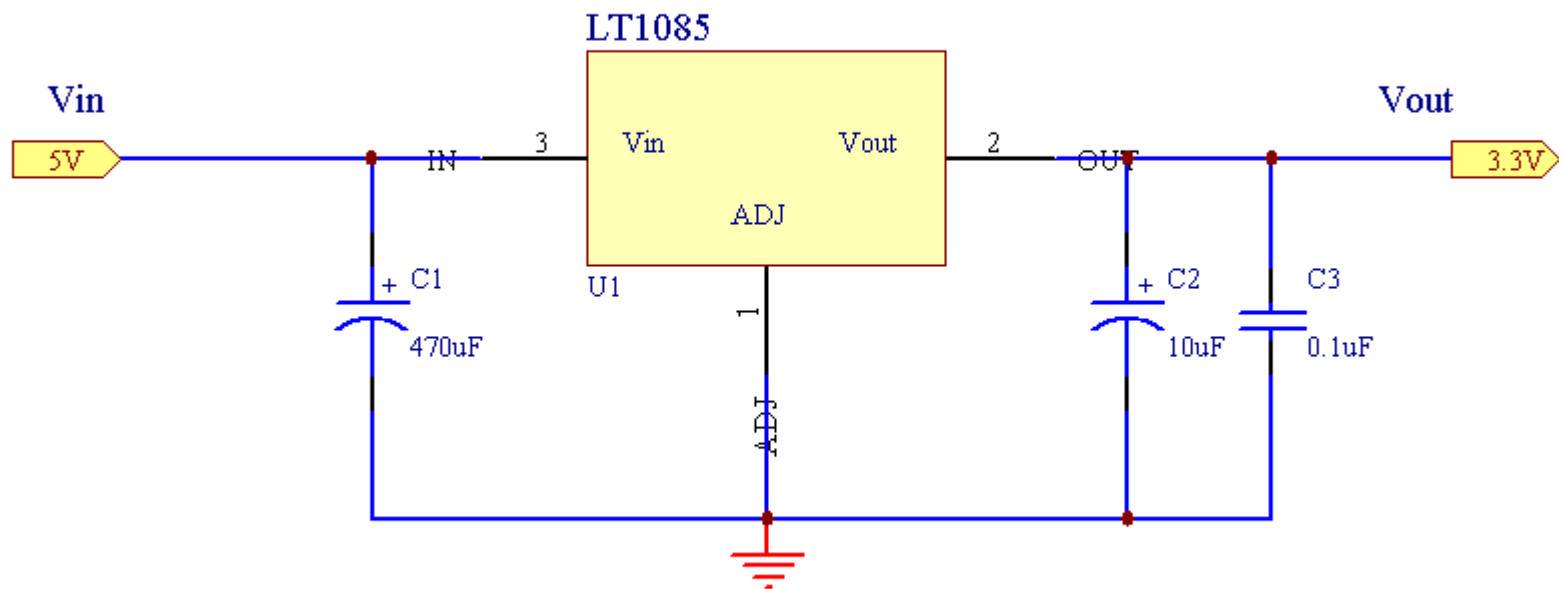
可根据系统的功耗，选择不同的器件。

电源电路（二）：

<p>FRONT VIEW</p>  <p>T PACKAGE 3-LEAD PLASTIC TO-220 $\theta_{JA} = 50^{\circ}\text{C/W}$</p>	<p>ORDER PART NUMBER</p> <p>LT1084CT LT1084IT LT1085CT LT1085IT</p>	<p>TAB IS OUTPUT FRONT VIEW</p>  <p>P PACKAGE 3-LEAD PLASTIC TO-3P $\theta_{JA} = 35^{\circ}\text{C/W}$</p>	<p>ORDER PART NUMBER</p> <p>LT1083CP LT1084CP</p>
<p>BOTTOM VIEW</p>  <p>K PACKAGE 2-LEAD TO-3 METAL CAN $\theta_{JA} = 35^{\circ}\text{C/W}$</p>	<p>LT1083CK LT1083MK LT1084CK LT1084MK LT1085CK LT1085MK</p>	<p>FRONT VIEW</p>  <p>M PACKAGE 3-LEAD PLASTIC DD $\theta_{JA} = 30^{\circ}\text{C/W}^*$</p> <p><small>*WITH PACKAGE SOLDERED TO 0.5IN² COPPER AREA OVERBACKSIDE GROUND PLANE OR INTERNAL POWER PLANE. θ_{JA} CAN VARY FROM 20^oC/W TO > 40^oC/W DEPENDING ON MOUNTING TECHNIQUE.</small></p>	<p>LT1085CM</p>

更详细信息可查询WinSilicon网站：
www.winsilicon.com

电源电路（三）：



更详细信息可查询WinSilicon网站：
www.winsilicon.com

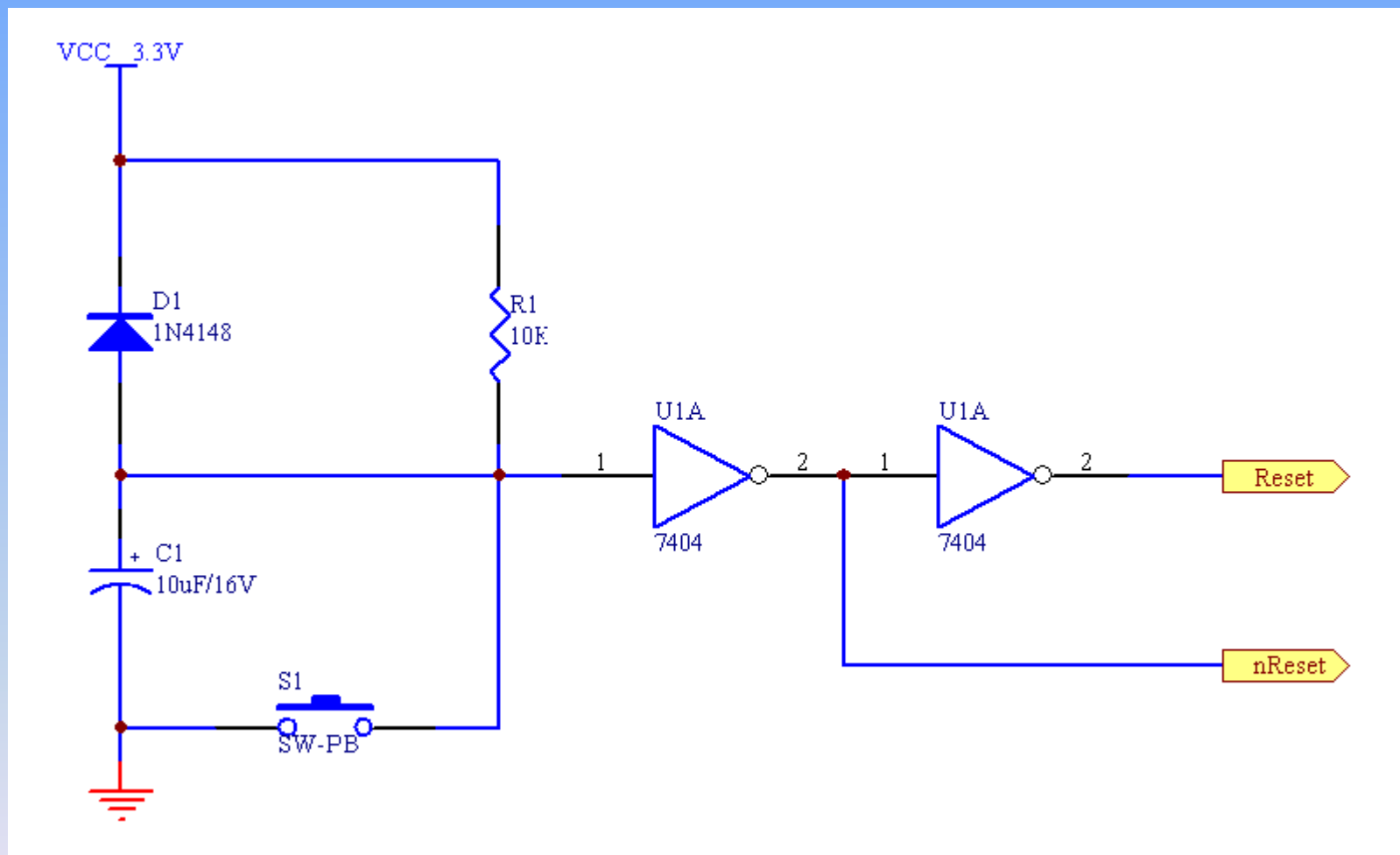
复位电路（一）：

复位电路完成系统的上电复位和系统在运行时的按键复位功能。

复位电路可由简单的RC电路构成，也可使用其他的相对较复杂，但功能更完善的电路完成。

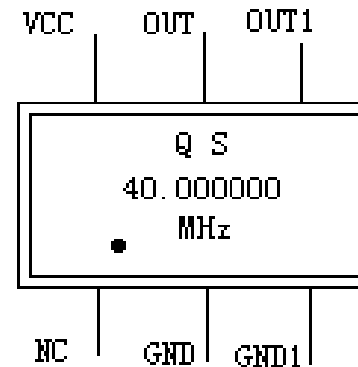
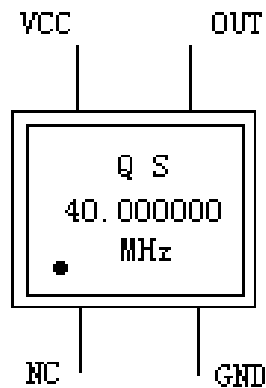
本系统采用较简单的RC复位电路，经实验证明，其复位是可靠的。

复位电路（二）：

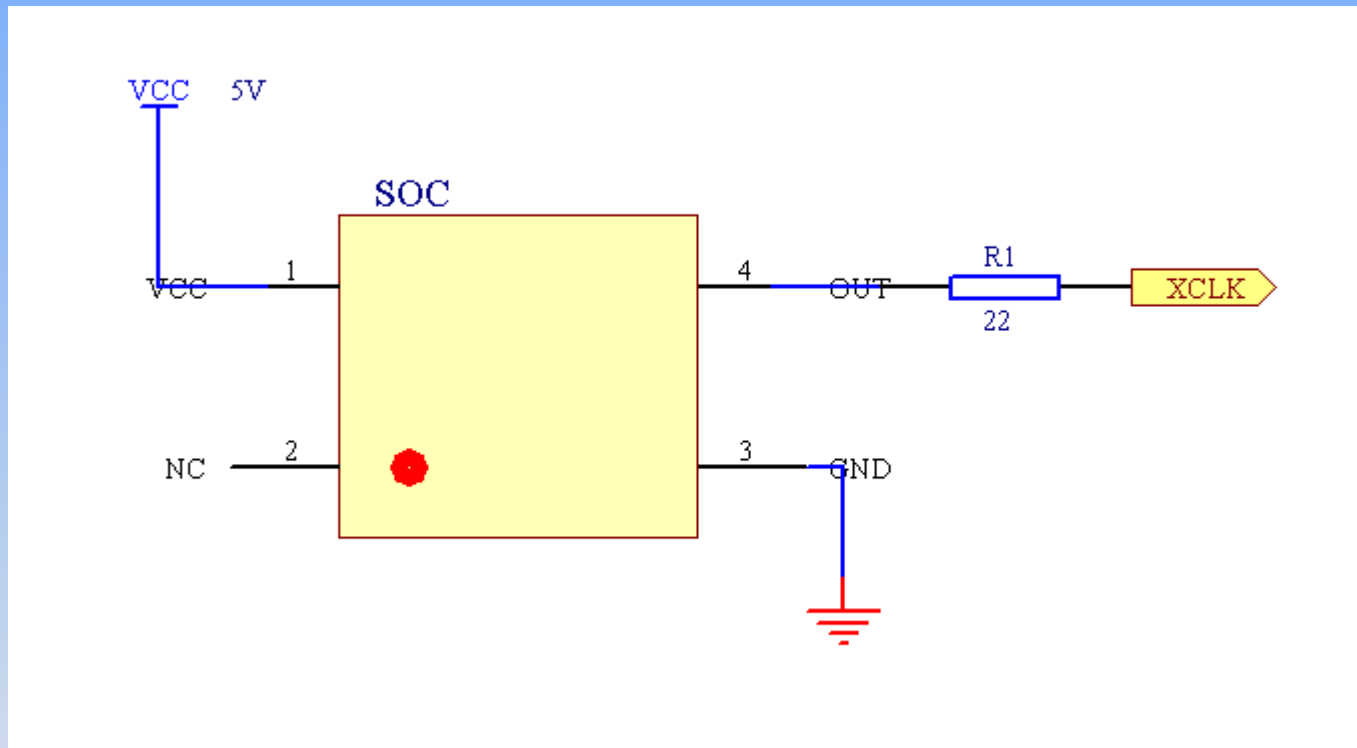


晶振电路（一）：

晶振电路用于向CPU提供工作时钟。S3C4510B使用有源晶振，不同于常用的无源晶振，有源晶振的接法略有不同。



晶振电路（二）：



FLASH存储器接口（一）：

作为一种非易失性的存储器，FLASH在系统中通常用于存放程序代码和一些在系统掉电后需要保存的数据。

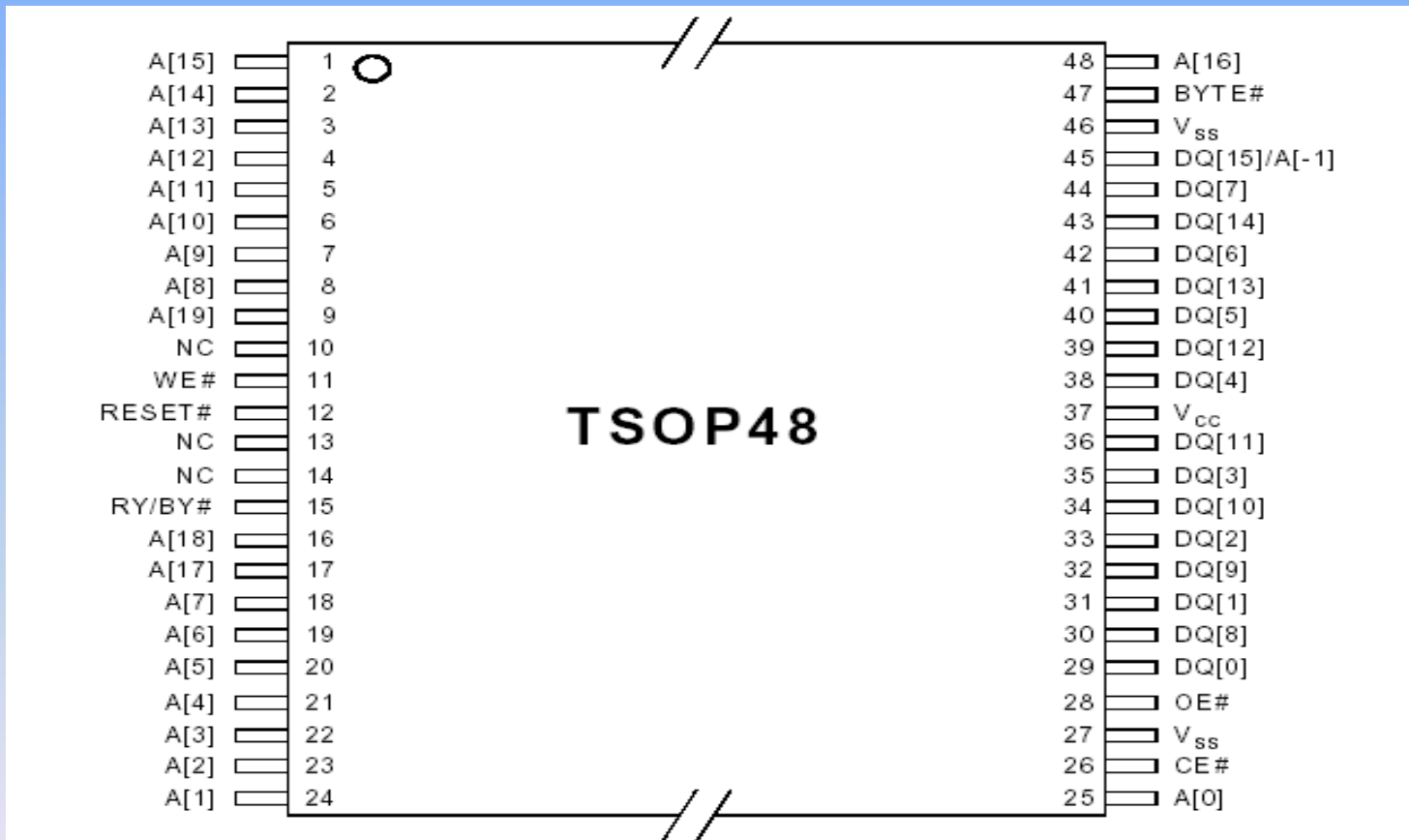
FLASH存储器的最大优点就是在系统可编程。目前常用的FLASH为8位或16位的数据宽度，编程电压为单3.3V。主要的生产厂商为ATMEL、AMD、HYUNDAI等，他们生产的同型器件一般具有相同的电器特性，可通用。

根据系统需求，可构建16位的FLASH存储器系统，也可构建32位的FLASH存储器系统。在此，分别介绍这两种情况。

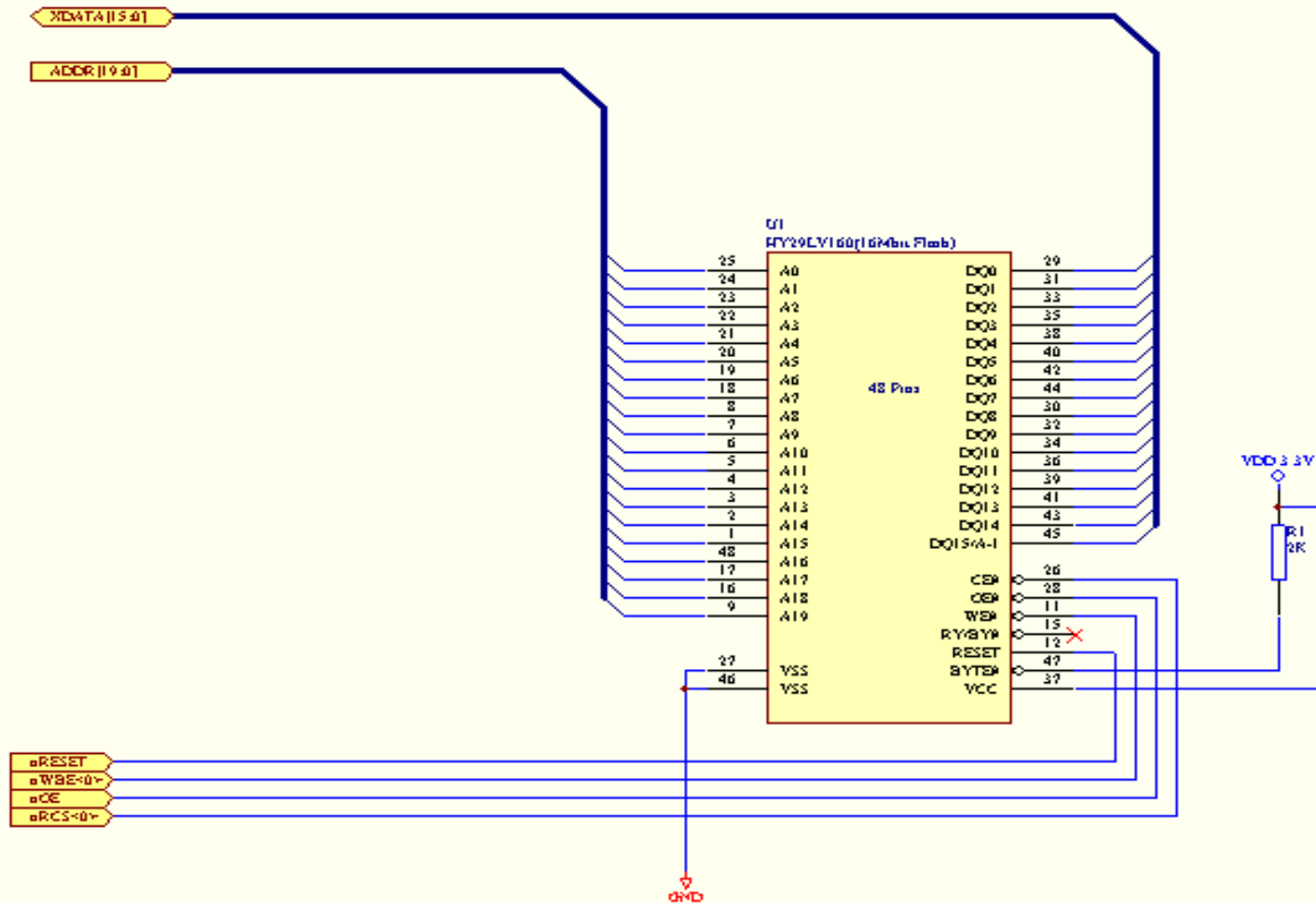
系统选用的FLASH存储器为HY29LV160，数据宽度为16位，单片容量为2MB。

FLASH存储器接口（二）：

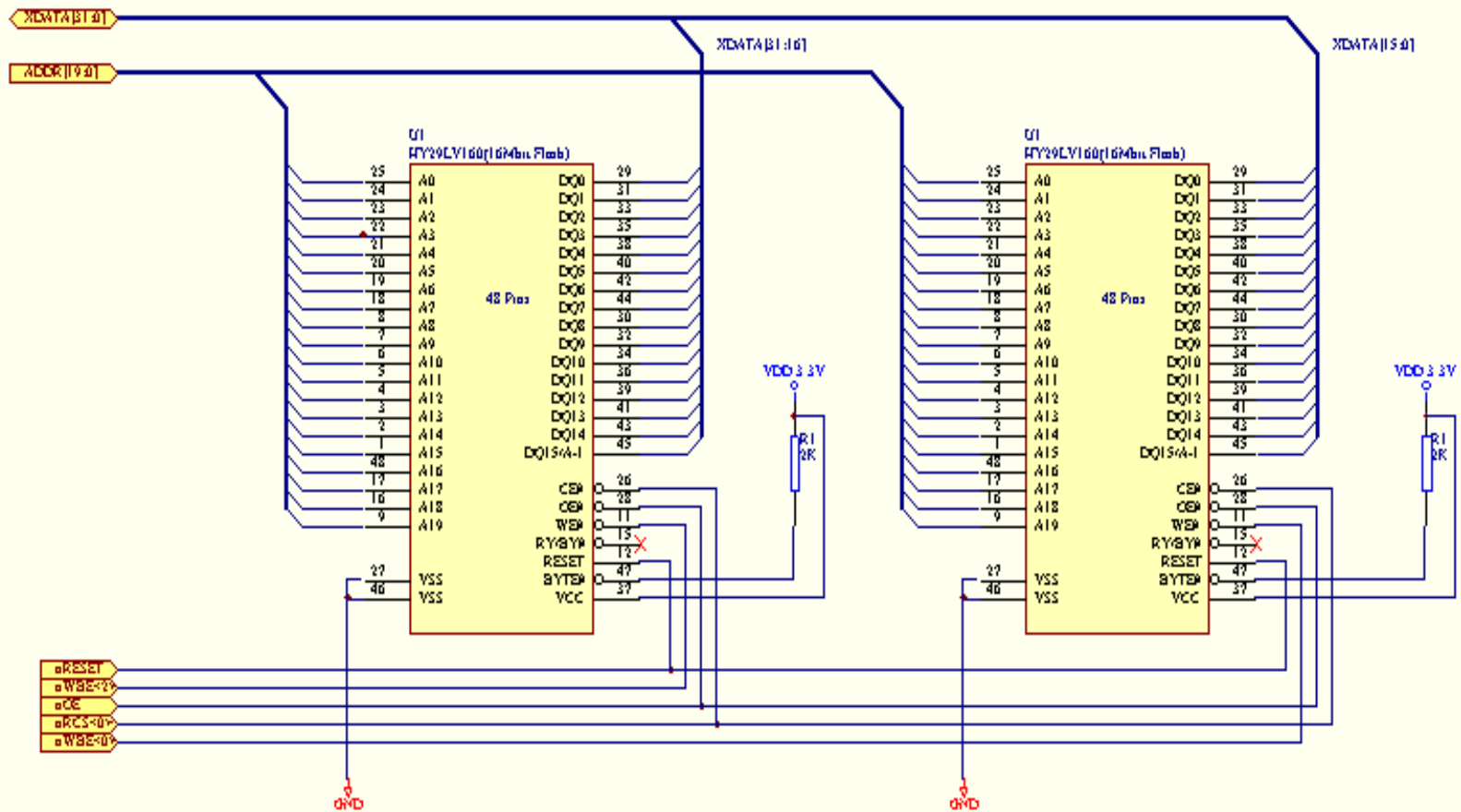
HY29LV160引脚分布图



FLASH存储器接口（三）：16位的FLASH存储系统



FLASH存储器接口（四）：32位的FLASH存储系统



SDRAM存储器接口（一）：

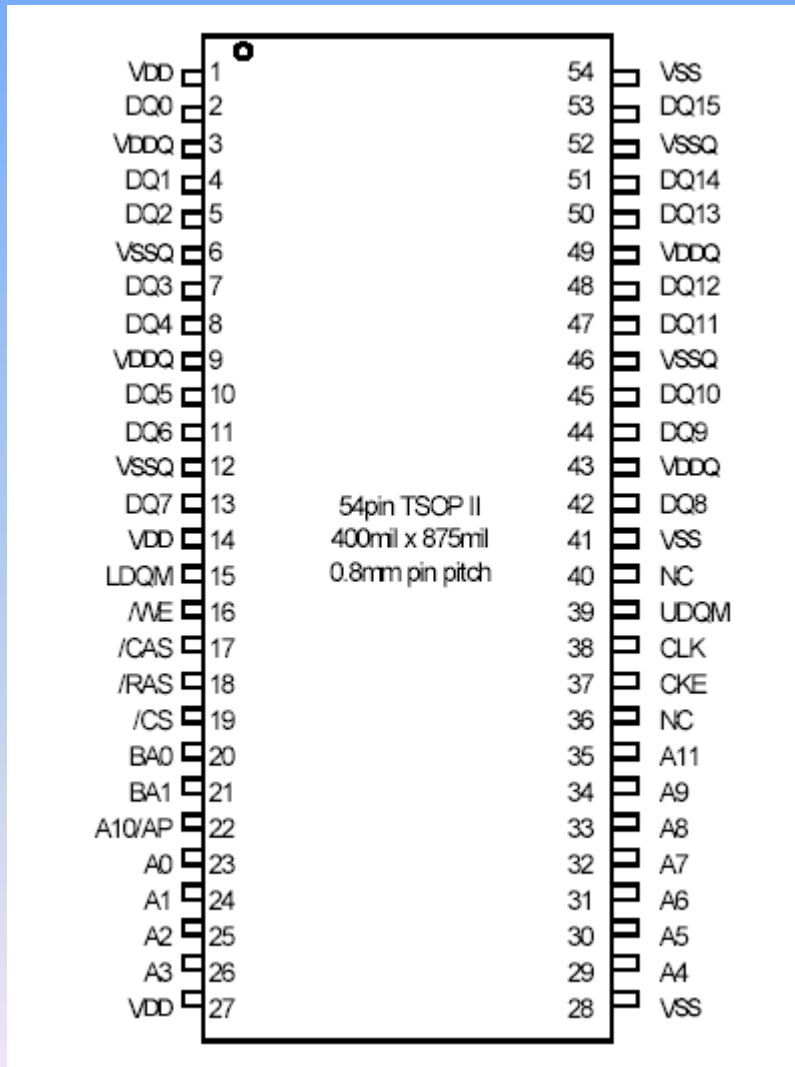
SDRAM存储器在系统中主要用作程序的运行空间。当系统启动时，CPU首先从0地址处读取启动代码，在完成系统的初始化后，操作系统内核调入SDRAM中运行，同时，系统及用户堆栈、数据也放在SDRAM中。

与FLASH存储器相比较，SDRAM存储器不具有系统掉电保持数据的特性，但其存取速度大大高于FLASH存储器。目前常用的SDRAM为8位/16位/32位的数据宽度。工作电压为3.3V。主要的生产厂商为HYUNDAI。

根据系统需求，可构建16位/32位的SDRAM存储器系统，在此介绍如何构建32位的SDRAM存储器系统。

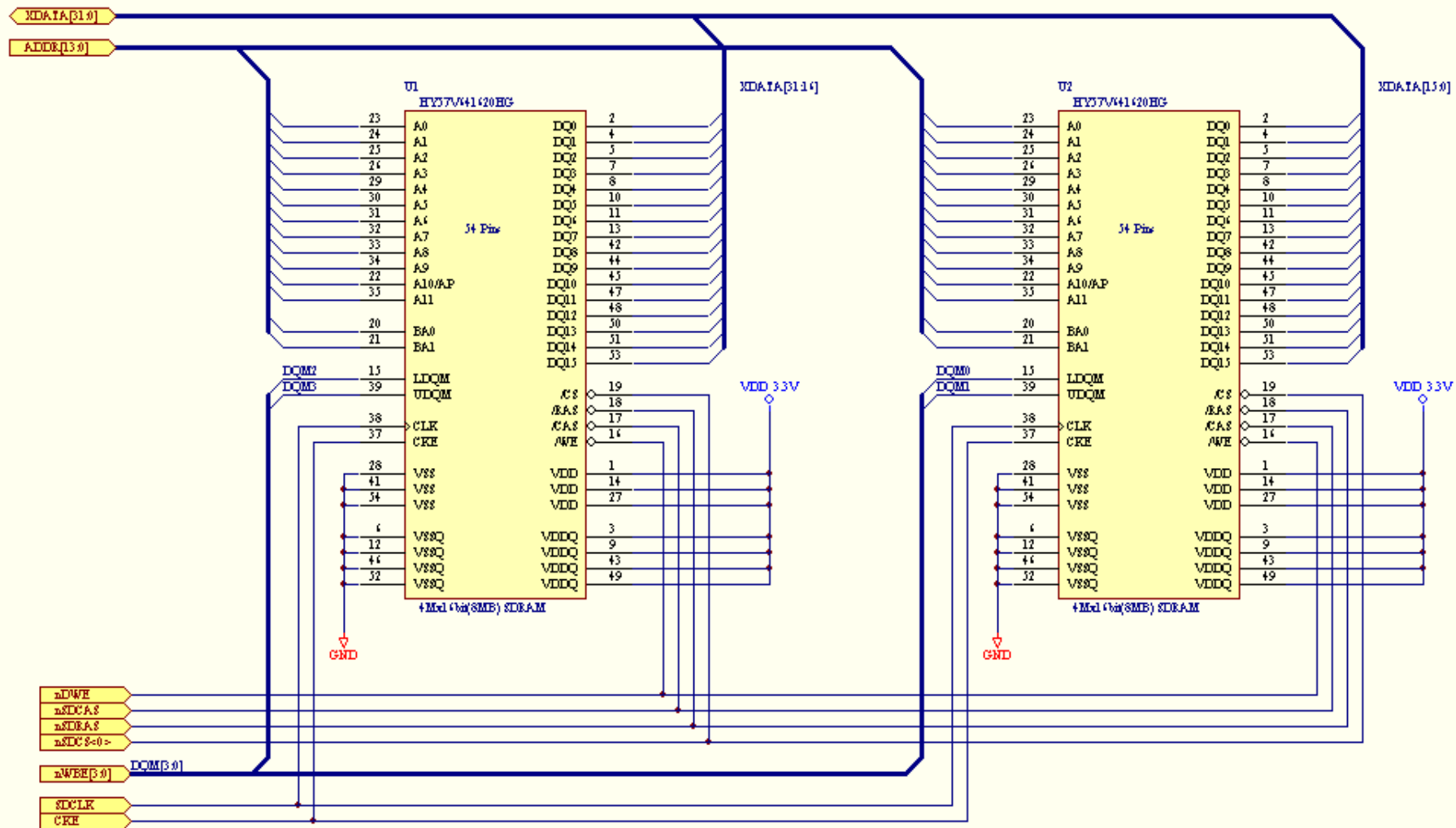
系统选用的SDRAM存储器为HY57V641620，16位数据宽度，单片容量为8MB。

SDRAM存储器接口（二）：



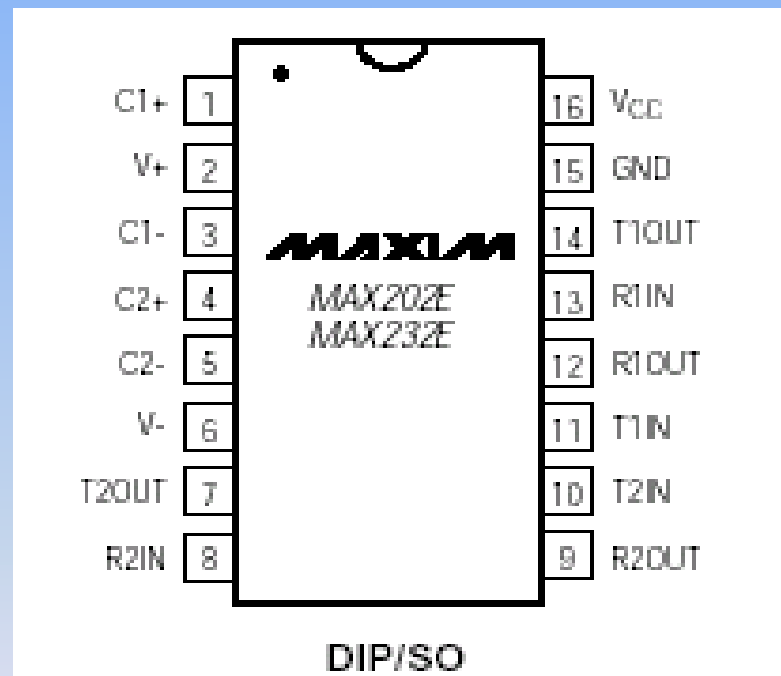
HY57V641620
引脚分布图

SDRAM存储器接口 (三) :

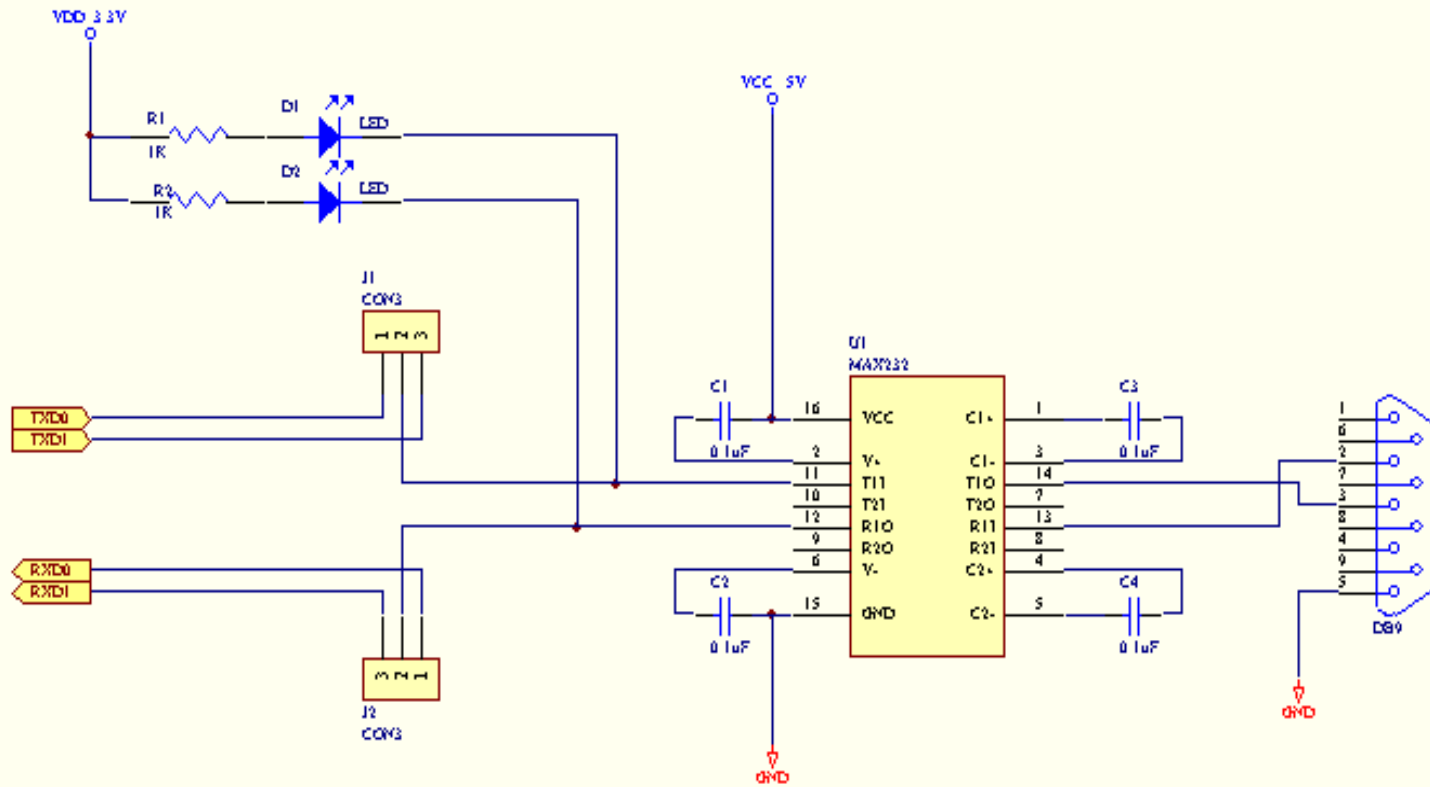


UART接口（一）：

UART接口电路用于TTL电平与RS232电平之间的转换。
常用的UART接口芯片为MAXIM公司生产的MAX232。



UART接口（二）：

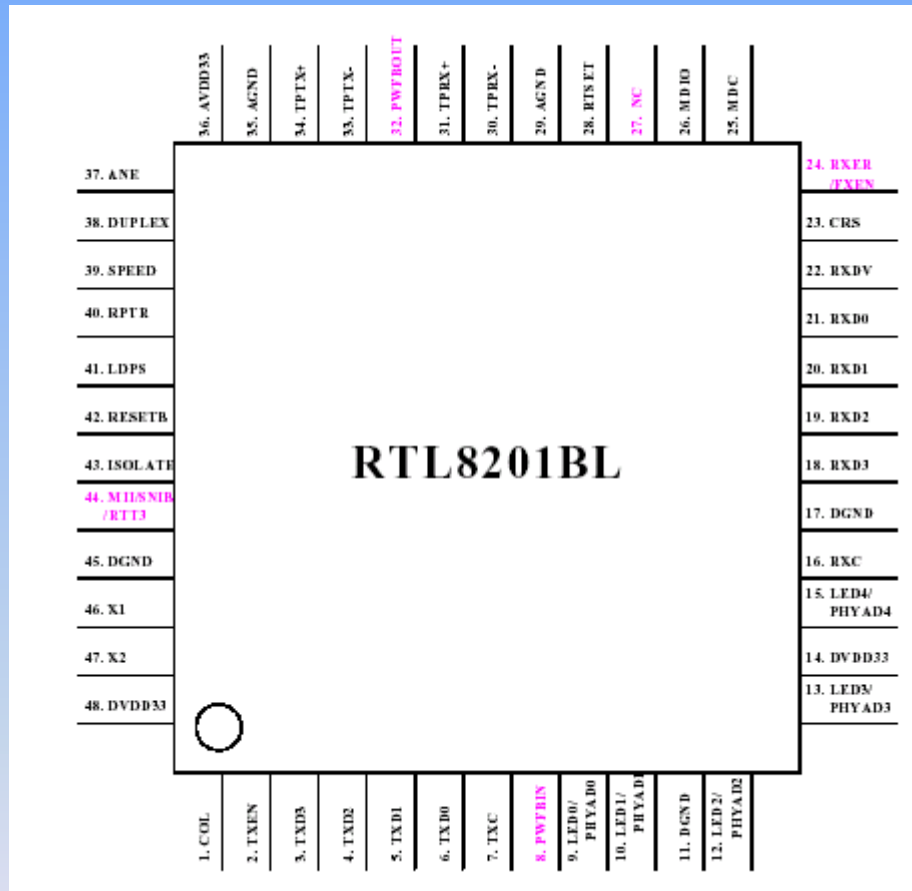


10M/100M以太网接口（一）

作为一款基于以太网的网络控制器，S3C4510B具有很强的网络连接与处理能力，通过其片内的以太网控制器，用户只需要在外部加上物理层接口，就可使系统方便的接入以太网网络。

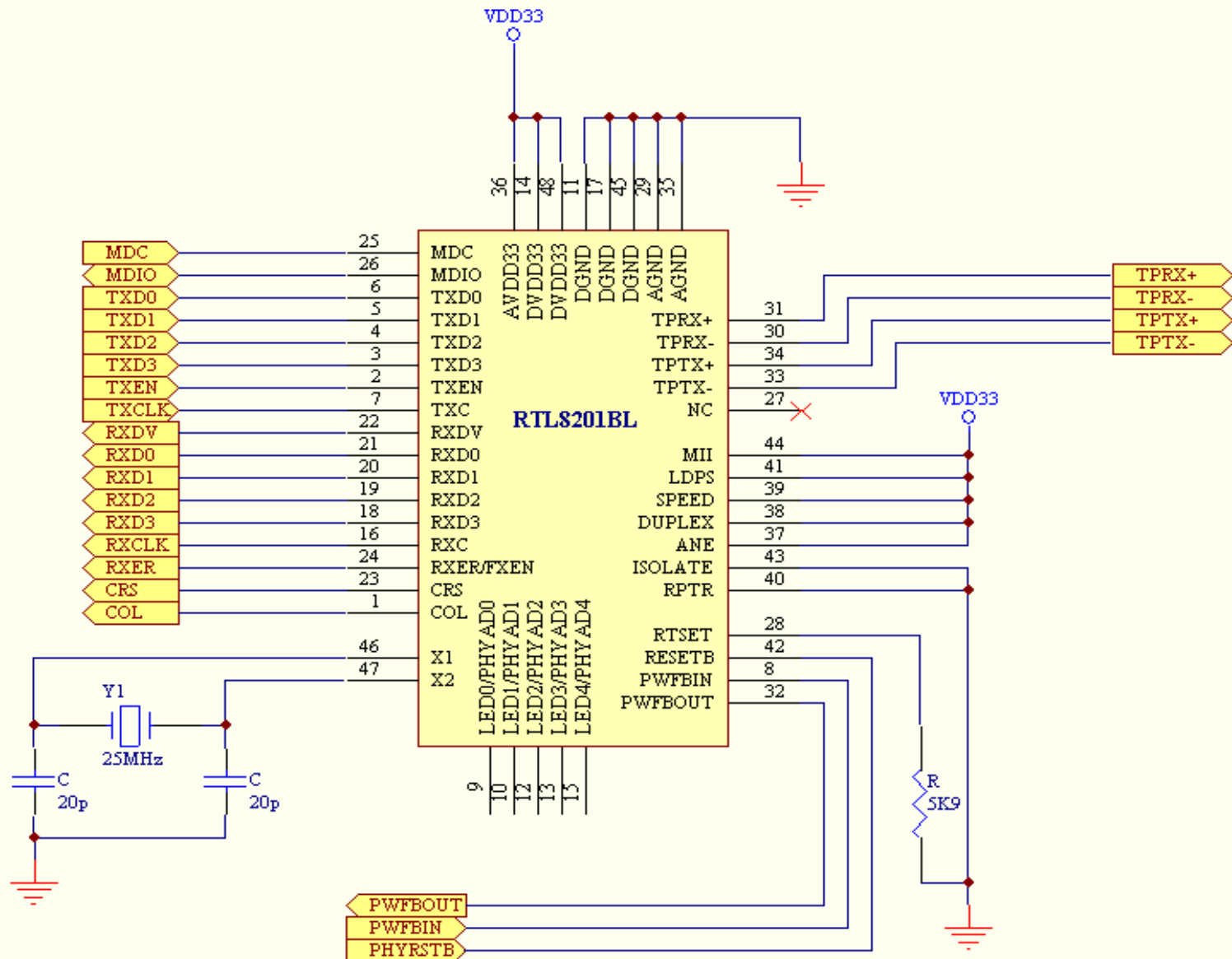
片内的以太网控制器支持10M/100Mbps的工作速率，同时支持多种工作方式，使用非常方便。

10M/100M以太网接口（二）

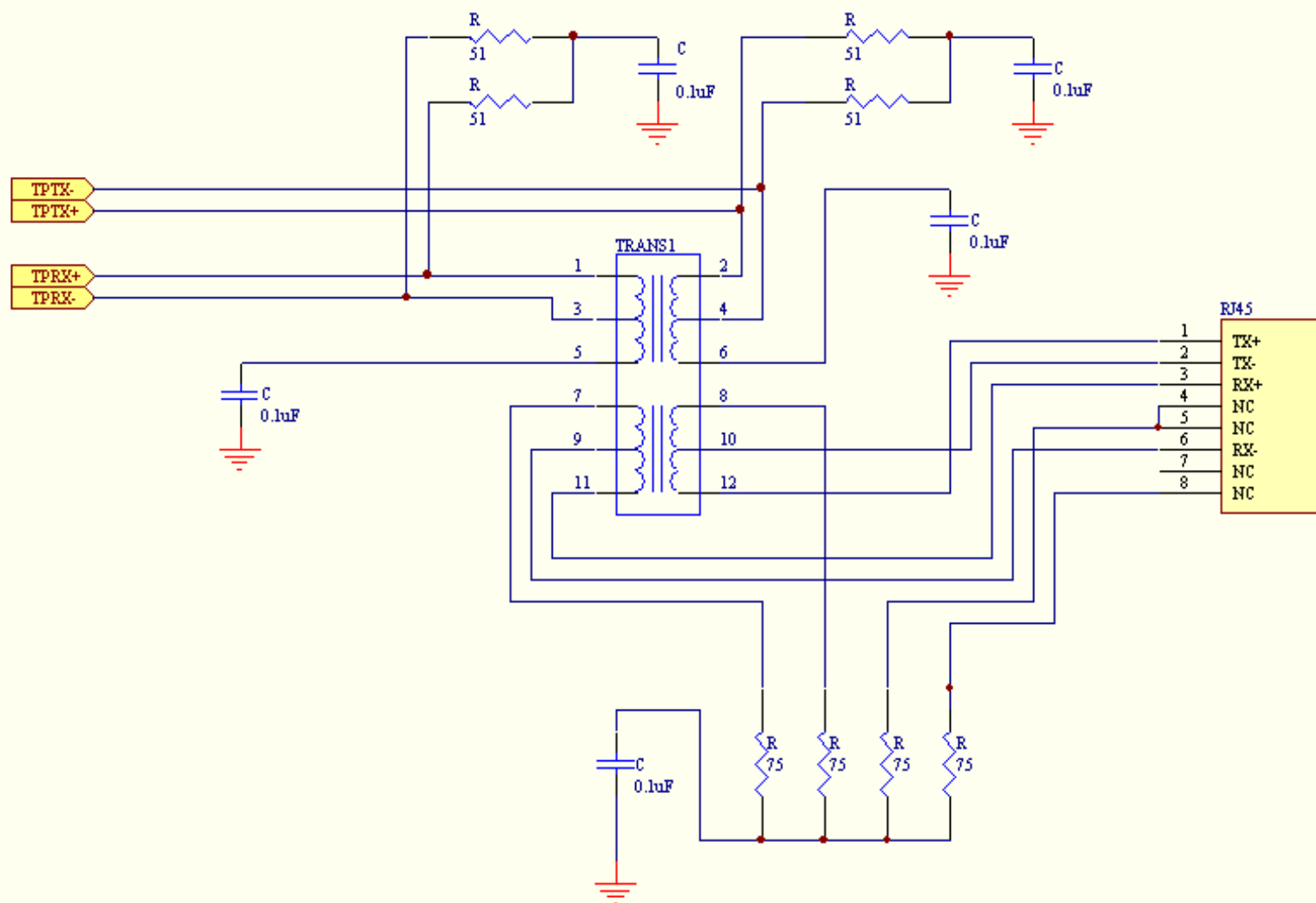


以太网物理层芯片选用台湾REALTEK的RTL8201，该芯片是一款单口10M100M快速以太网物理层接口，支持多种工作方式。

10M/100M以太网接口 (三)



10M/100M以太网接口（四）



JTAG接口

利用ARM处理器中的调试模块的功能，通过其JTAG边界扫描口来与仿真器连接，以达到对芯片内部的工作状态进行监控的目的。

- ❖ JTAG接口同JTAG仿真器硬件连接，利用相应的调试工具观察CPU状态
- ❖ 调试工具可以检查和控制CPU的运行

JTAG20接口定义

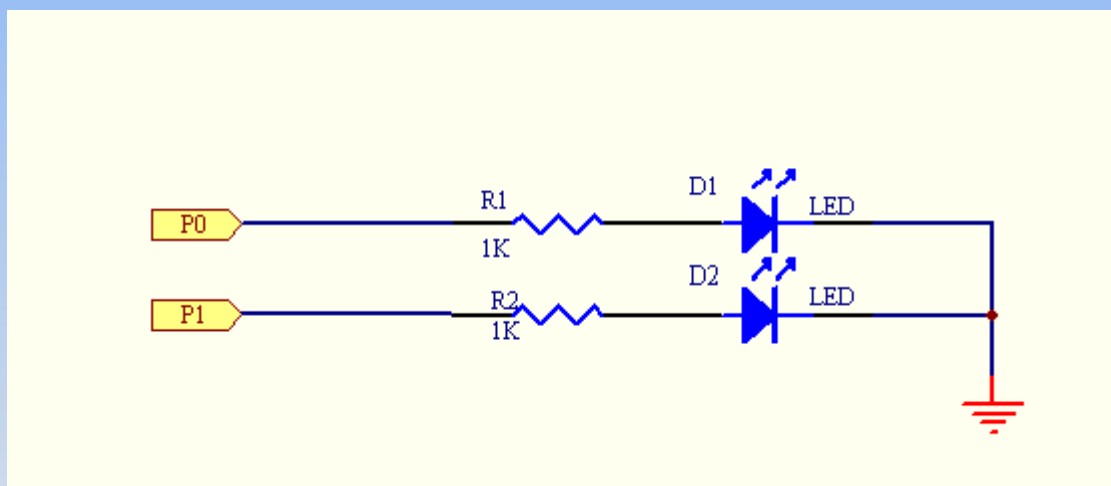
VTRef (VCC)	1	2	VCC
nTRST	3	4	GND
TDI	5	6	GND
TMS	7	8	GND
TCK	9	10	GND
RES	11	12	GND
TDO	13	14	GND
nRESET	15	16	GND
NC	17	18	GND
NC	19	20	GND

JTAG14接口定义

VCC	1	2	GND
nTRST	3	4	GND
TDI	5	6	GND
TMS	7	8	GND
TCK	9	10	GND
TDO	11	12	NC
VCC	13	14	GND

用于状态指示的LED

一般应在系统中设计状态指示LED，以利于了解系统地工作状态和进行程序调试。



四、嵌入式操作系统（一）

1、嵌入式应用系统使用操作系统的好处和坏处。

好处：硬件抽象、任务分解，在比较复杂的应用情况下优势明显。

坏处：占用系统资源，增加开发难度。

2、嵌入式系统有广泛的操作系统支持：如Window CE、Palm OS、VxWorks、Linux、uc/OS-II等。

3、Linux具有源代码开放、模块化的结构、良好的稳定性，为嵌入式操作系统的主流。

4、适合于没有MMU（Memory Management Unit）的ARM微处理器的操作系统 - - uClinux



四、嵌入式操作系统（二）

5、uClinux操作系统的开发环境

基于uClinux操作系统的应用开发环境一般是由目标系统硬件开发板和宿主PC机所构成。

目标硬件开发板(基于ARM的系统板)用于运行操作系统和系统应用软件，而目标板所用到的操作系统的内核编译、应用程序的开发和调试则需要通过宿主PC机来完成。双方之间一般通过串口，并口或以太网接口建立连接关系。

四、嵌入式操作系统（三）

6、uClinux内核针对特定硬件系统的修改

目前已经移植到S3C4510B平台的uClinux内核，是针对某一特定的系统指标的（如系统的某些BANK设置为禁用、工作频率为50MHz、SDRAM为8MB、Flash为2MB、采用UART0作为控制台等），这些与硬件系统直接相关的信息，应根据用户设计系统的实际情况进行修改，与特定的硬件对应。

四、嵌入式操作系统（四）

7、配置uClinux内核

uClinux内核采用模块化的组织结构，通过增减内核模块的方式来增减系统的功能，因此，正确合理的设置内核的功能模块，从而只编译系统所需功能的代码，可以提高系统的性能、增加系统的稳定性和安全性。

采用内核的默认配置，只能支持常见的基本功能，用户应根据所设计系统的实际情况，对内核模块进行有目的的增减，以适合自身的需要。

四、嵌入式操作系统（五）

7、编译uClinux内核

当uClinux内核根据用户的需求配置完成以后，需要将内核源代码编译成可在特定硬件平台上运行的可执行代码。采用针对ARM硬件平台的编译器ARMGCC，可以完成以上操作。

关于内核修改、编译的详细步骤与细节，在相关产品的用户手册中有详细的描述。

四、嵌入式操作系统（六）

8、内核的加载运行

当内核的编译工作完成之后，会生成可执行的内核二进制文件，通过JTAG仿真器（如微芯力的ARM JTAG仿真器），将文件烧写到Flash存储器中，在系统上电或复位时，自动运行。

uClinux操作系统运行时，默认UART为输入输出控制台，可使用终端工具，通过串口与操作系统进行交互。

李韵光 聂雪娜 江泽明 王兆卫 编著
刘国平 审校

ARM应用系统开发详解

——基于S3C4510B的系统设计

9 12:41 PM



清华大学出版社



The End !
Thank You !