

ADSP-BF531/ADSP-BF532/ADSP-BF533

概要

高达 600 MHz 高性能 Blackfin 处理器
 2 个 16 位 MAC, 2 个 40 位 ALU, 4 个 8 位视频 ALU, 以及 1 个 40 位移位器
 RISC 式寄存器和指令模型, 编程简单, 编译环境友好
 先进的调试、跟踪和性能监视
 内核电压 V_{DD} 0.8V-1.2V
 片内调压器支持从 3.3V-2.5V 的输入电压
 160 引脚 Mini-BGA 封装; 169 引脚 PBGA 封装; 176 引脚 LQFP 封装

存储器

高达 148KBytes 片内存储器:
 16KBytes 指令 SRAM/Cache
 64KBytes 指令 SRAM
 32KBytes 数据 SRAM/Cache
 32KBytes 数据 SRAM
 4KBytes 存放中间结果的 SRAM
 两个双通道存储器 DMA 控制器

存储器管理单元提供存储器保护

存储器控制器可与 SDRAM、SRAM、Flash 和 ROM 无缝连接

灵活的存储器引导模式, 可以选择从 SPI 口或外部存储器导入

外设

并行外设接口(PPI) /GPIO 支持 ITU-R 656 视频数据格式

2 个双通道全双工同步串行接口, 支持 8 个立体声 I²S 通道

12 通道 DMA 控制器

SPI 兼容端口

3 个定时/计数器, 支持 PWM

支持 IrDA 的 UART

事件处理

实时时钟

“看门狗”定时器

调试 /JTAG 接口

1x-63x 倍频的片内 PLL

内核定时器

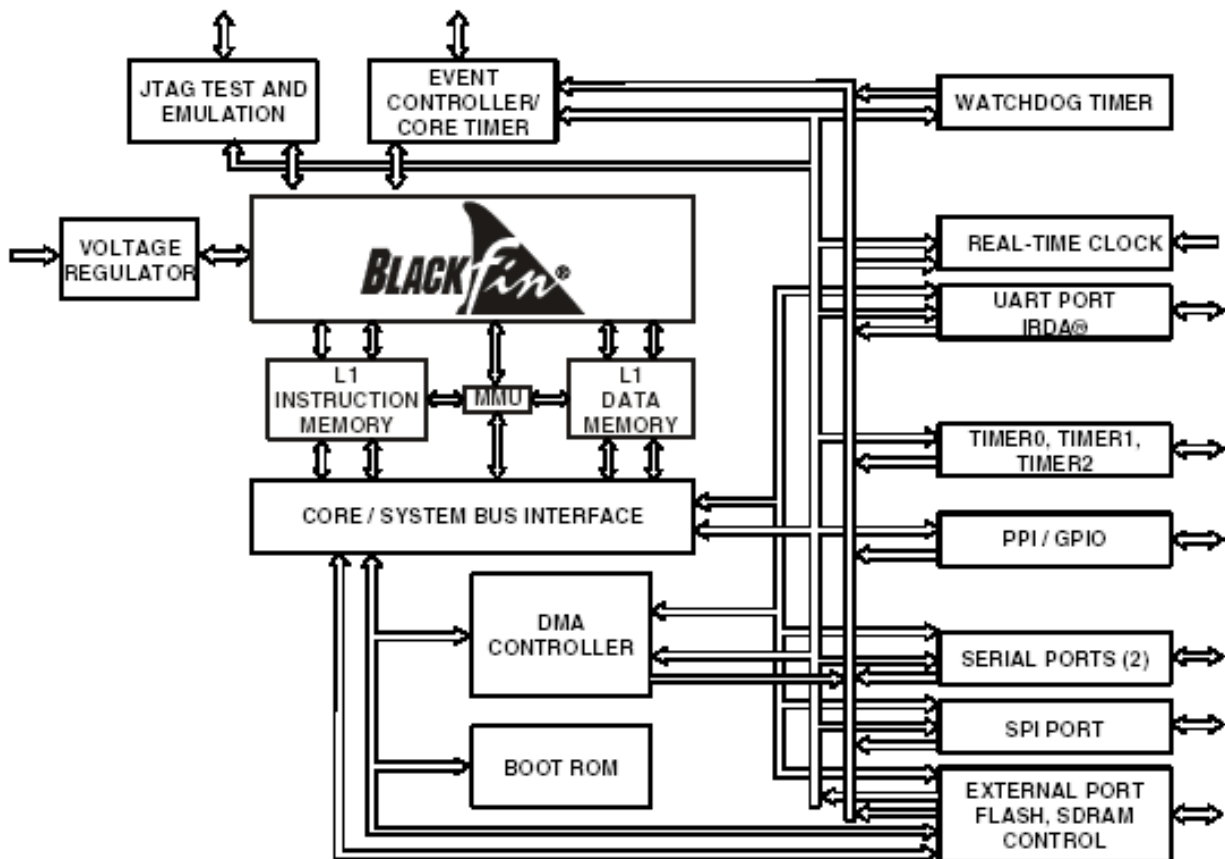


图 1. 功能框图

ADSP-BF531/ADSP-BF532/ADSP-BF533

目录

概述.....	3	定时器周期时序.....	33
便携式低功耗结构.....	3	JTAG 测试和仿真端口时序.....	34
系统集成.....	3	输出驱动电流.....	35
ADSP-BF531/2/3 处理器外设.....	3	功耗.....	36
BLACKFIN 处理器内核.....	3	测试条件.....	37
存储器结构.....	4	环境条件.....	40
DMA 控制器.....	7	160-LEAD BGA 引脚.....	42
实时时钟.....	8	169-Ball PBGA 引脚.....	45
“看门狗”定时器.....	8	176-LEAD LQFP 引脚.....	47
定时器.....	8	外形尺寸.....	49
串行口(SPORTs).....	8	订购指导.....	50
串行外设接口(SPI).....	9		
UART 端口.....	9	版本历史	
可编程标志 (PFx).....	9	11/04—版本 A: 从版本 0 变到版本 A	
并行外设接口.....	10	删除了片上调压器说明中的电压允许偏差, 更换了	
动态电源管理.....	10	(图 7) 电压调节电路的元件.....	11
电压调节.....	11	在推荐工作条件中定义了 ADSP-BF533 新的标称电	
时钟信号.....	11	压.....	18
引导模式.....	12	给出了表 10,表 11 和表 12 的测试电压.....	20
指令集描述.....	13	改变了(表 30)内部功耗在 400MHz 时的数据.....	36
开发工具.....	13	改变了(图 46) 160-BALL Mini-BGA (BC-160)	
设计仿真器兼容的 DSP 板.....	14	的封装高度.....	49
引脚描述.....	15	改变了 ADSP-BF532 和 ADSP-BF533 的工作电压,	
技术规格.....	18	订购指导中新增了两个型号.....	50
推荐工作条件.....	18		
电气特性.....	18	11/04—版本 0: 最初版本	
绝对最大额定值.....	19		
ESD 灵敏度.....	19		
时序规格.....	20		
时钟和复位时序.....	21		
异步存储器读周期时序.....	22		
异步存储器写周期时序.....	23		
SDRAM 接口时序.....	24		
外部端口总线请求和许可周期时序.....	25		
并行外设接口时序.....	26		
串行口.....	27		
串行外设接口 (SPI) —主时序.....	30		
串行外设接口 (SPI) —从时序.....	31		
通用异步收发器 (UART) 端口—接收和发送			
时序.....	32		
可编程标志周期时序.....	32		

概述

ADSP-BF531/2/3 处理器是 Blackfin 系列产品的成员，融合了 Analog Devices/Intel 的微信号结构 (Micro Signal Architecture) (MSA)。Blackfin 处理器这种体系结构将艺术级的 dual-MAC 信号处理引擎，简洁的 RISC 式微处理器指令集的优点，以及单指令多数据(SIMD)多媒体能力结合起来，形成了一套独特的指令集结构。

ADSP-BF531/2/3 处理器的代码和管脚完全兼容，它们之间的差别仅仅在于具有不同的性能和片内存储器容量。详细的性能和存储器区别见表 1:

表 1 处理器比较

	ADSP-BF531	ADSP-BF532	ADSP-BF533
最大频率	400MHz	400 MHz	600 MHz
性能	800 MMACs	800 MMACs	1200 MMACs
指令 SRAM/Cache	16Kbytes	16Kbytes	16Kbytes
指令 SRAM	16Kbytes	32Kbytes	64Kbytes
数据 SRAM/Cache	16Kbytes	32Kbytes	32Kbytes
数据 SRAM			32bytes
中间存储器	4Kbytes	4Kbytes	4Kbytes

通过集成业界领先和丰富的系统外设及存储器，Blackfin 处理器系列成为下一代需要将 RISC 式编程、多媒体支持和前沿的信号处理等功能集成在单个封装内的选择平台。

便携式低功耗结构

Blackfin 处理器系列具有世界领先的功率管理和性能。Blackfin 处理器采用低功耗和低电压的设计方法，具有动态功率管理的特点，即通过改变工作电压和频率来大大降低总功耗。与仅改变工作频率相比，既改变电压又改变频率能够使总功耗明显减少。对于便携式应用来说，这相当于延长了电池的寿命。

系统集成

对下一代的数字通信和消费多媒体应用来说，ADSP-BF531/2/3 处理器是高度集成的片上系统解决方案。通过将工业标准接口与高性能的信号处理内核相结合，用户可以快速开发出节省成本的解决方案，而无需昂贵的外部组件。ADSP-BF531/2/3 处理器系统外设包括一个 UART 口、一个 SPI 口、两个串行口(SPORTs)、四个通用定时器 (其中三个具有 PWM 功能)、一个实时时钟、一个看门狗定时器，以及一个并行外设接口。

ADSP-BF531/2/3 处理器外设

ADSP-BF531/2/3 处理器包含丰富的外设，它们通过不同的高速宽带总线与内核相连，使系统不但配置灵活而且有很好的性能(见第 1 页的图 1)。通用外设包括一些功能，如 UART、带有 PWM (脉冲宽度调制) 和脉冲测量能力的定时器、通用的 I/O 标志引脚、一个实时时钟和一个看门狗定时器。这些外设满足了典型系统的各种需求，并且通过它们增强了系统的扩充能力。除了这些通用的外设，ADSP-BF531/2/3 处理器还包含有用于各种音频、视频和调制解调编解码功能的高速串行和并行端口；一个用于灵活地管理来自片内外设和外部信源的中断事件处理器；以及可根据不同的应用来配置系统的性能和功耗的功率管理控制功能。

除通用 I/O、实时时钟和定时器外，所有其它的外设都有一个灵活的 DMA 结构。片内还有一个独立的存储器 DMA 通道，专用于在处理器的不同存储空间，包括外部的 SDRAM 和异步存储器，进行数据传输。多条片内总线能以 133MHz 的速度运行，提供了足够的带宽以保证处理器内核能够跟得上片内和片外外设。

ADSP-BF531/2/3 处理器包含支持 ADSP-BF531/2/3 处理器动态功率管理功能的片上调压器，从 2.25V 到 3.6V 的单输入电压提供内核电压。该调压器也可以由用户旁路。

BLACKFIN 处理器内核

如第 5 页的图 2 所示，BLACKFIN 处理器内核包含 2 个 16 位乘法器，2 个 40 位的累加器，2 个 40 位的 ALU，4 个视频 ALU 和 1 个 40 位移位器。运算单元处理来自寄存器组的 8 位、16 位或者 32 位数据。

运算寄存器组包括 8 个 32 位寄存器。当执行 16 位操作数的运算时，寄存器组可作为 16 个独立的 16 位寄存器。运算的所有操作数都来自多端口寄存器组和指令常量域。

每个 MAC 每周期可完成一个 16 位乘 16 位的乘法运算，并把结果累加到 40 位的累加器中。支持符号型和无符号型数据格式，舍入与饱和等操作。

ALU 除执行一套传统的 16 位或 32 位数据的算术和逻辑运算外，还包含许多特殊指令用于加速不同的信号处理任务。这些指令包括位操作 (例如域提取和计算总数)、模 2^{32} 乘法、除法、饱和与舍入、符号/指数检测等；专用的一套视频指令包括字节对准和压缩操作，16 位和 8 位截断加，8 位平均操作，8 位减法/绝对值/累加(SAA)操作等；还提供有比较/选择和矢量搜索指令。

对于某些指令，两个 16 位 ALU 操作可以同时寄存器对 (运算寄存器的高 16 位和低 16 位) 中执行，也可以使用第二个 ALU，进行四个 16 位运算。

40 位的移位器可以执行移位和循环移位，可以用于标准化、提取和存储等操作。

程序控制器控制指令执行的顺序，包括指令对准和译码。对于程序流程，程序控制器支持相对于 PC 的间接条

ADSP-BF531/ADSP-BF532/ADSP-BF533

件跳转（支持静态分支预测）和子程序调用。硬件提供对零耗循环的支持。这种结构是完全互锁的，这就意味着，当有数据相关的指令时，编程者不用自己管理的流水线。

地址算术单元能够提供两套地址，用于从存储器中同时进行双存取。一个多端口寄存器组由 4 套 32 位的索引、修改、长度、基地址（用于循环缓冲）寄存器和 8 个另外的 32 位指针寄存器（用于 C 风格的索引堆栈操作）组成。

Blackfin 处理器采用改进的哈佛结构和分级的存储器结构。Level 1 (L1) 存储器一般以全速运行，没有或只有很少的延迟。在 L1 级，指令存储器只存放指令。2 个数据存储器存放数据，一个专用的临时数据存储器存放堆栈和局部变量信息。

此外，由多个 L1 存储器组成的模块，可进行 SRAM 和 CACHE 的混合配置。存储器管理单元(MMU)提供存储器保护功能，对运行于内核上的独立的任务，可保护系统寄存器免于意外的存取。

这种体系结构提供了 3 种运行模式：用户模式、管理员模式和仿真模式。用户模式限制对某些系统资源的访问，因此提供了一个受保护的软件环境；而管理员模式对系统和内核资源的访问不受限制。

Blackfin 处理器指令系统经过优化，16 位操作码组成了最常用的指令，这使得编译后的代码密度非常高。复杂 DSP 指令采用 32 位操作码，体现了多功能指令的全部特征。Blackfin 处理器支持有限的并行能力，即 1 个 32 位的指令可以和 2 个 16 位指令并行执行，使编程人员在单指令周期中使用尽可能多的内核资源。

Blackfin 处理器汇编语言使用易于编程和可读性强的代数语法，而且在和 C/C++ 编译器的链接上进行了优化，给程序员提供了快速有效的软件环境。

存储器结构

ADSP-BF531/2/3 处理器把存储器视为一个统一的 4GBytes 的地址空间，使用 32 位地址。所有的资源，包括内部存储器、外部存储器和 I/O 控制寄存器，都占据公共地址空间的各自独立的部分。此地址空间的各部分存储器按分级结构排列，以提供高的性能价格比。一些非常快速、低延迟的存储器（如 CACHE 或 SRAM）的位置非常接近处理器，而更大的低成本、低性能的存储器远离处理器。参见第 6 页图 3、图 4、图 5。

L1 存储器是 Blackfin 处理器内核中性能最高的最重要的存储器。通过外部总线接口单元(EBIU)，片外存储器可以由 SDRAM、FLASH 和 SRAM 进行扩展，可以访问多达 132MBytes 的物理存储器。

存储器 DMA 控制器提供高带宽的数据传输能力。它能够在内部存储器和外部存储器空间之间完成代码或数据的块传输。

内部（片内）存储器

ADSP-BF531/2/3 处理器有 3 块片内存储器，提供到内核的高带宽的访问。

第 1 块是 L1 指令存储器，由高达 80KBytes 的 SRAM 组成，其中 16KBytes 可以配置为一个 4 路组联合的 CACHE。L1 指令存储器以处理器的最快速度访问。

第 2 块片内存储器是 L1 数据存储器，包括分别为 32KBytes 的两个 Bank。每个 Bank 都可配置成 CACHE 或 SRAM。此存储器也以全速度访问。

第 3 块是一个 4KBytes 的临时数据 SRAM，它和 L1 存储器有相同的运行速度，但是只能作为数据 SRAM，不能配置为 CACHE。

外部（片外）存储器

外部总线接口单元(EBIU)即可以用于异步设备（例如：FLASH、EPROM、ROM、SRAM 和存储器映射 I/O 设备）也可以用于同步设备（例如：SDRAM）。它们的总线宽度均为 16 位，其中 A1 为 16 位字的最低位。8 位的外围设备必须象 16 位设备一样分配 16 位地址，但只使用其低 8 位数据。

PC133 兼容的 SDRAM 控制器可以通过编程与高达 128MBytes 的 SDRAM 接口。内部最高可以配有 4 个 SDRAM banks,SDRAM 控制器允许为内部 SDRAM 的每个 banks 同时打开一个通道,从而提高系统性能。

异步存储器的控制器也能够通过编程控制多达 4 个 bank 的时序参数灵活的各种异步存储设备。无论使用设备的大小如何，每个 bank 的空间都占据 1MByte。这样，只有装满 4 个 1MByte 的存储器时地址空间才能连续。

I/O 存储器空间

Blackfin 处理器没有定义独立的 I/O 空间。所有的资源都被映射到统一的 32 位地址空间。片上 I/O 设备的控制寄存器被映射到靠近 4GByte 地址空间顶端的存储器映射寄存器(MMR)地址范围内。这个地址空间又被划分为两个部分，一部分包含完成所有内核功能的控制 MMR，另一部分包含用于设置和控制内核以外的片内外设的寄存器。MMR 仅在管理员模式下可被访问，并且被看作是片内外设的保留空间。

引导

ADSP-BF531/2/3 处理器包括一个小的引导内核，用于配置的适当的外设来引导。如果 ADSP-BF531/2/3 处理器被配置为从引导 ROM 存储器引导，那么 DSP 从片内引导 ROM 开始执行。若需要更多信息，请看第 12 页的引导模式。

事件处理

ADSP-BF531/2/3 处理器的事件控制器处理到达处理器的所有的同步和异步事件。事件处理支持嵌套和优先级。嵌套允许同时激活多个事件的服务程序。优先级保证高优先级事件的响应可以抢占较低优先级事件的响应。控制器支持 5 种不同类型的事件：

1. 仿真：仿真事件使处理器进入仿真模式，允许通过 JTAG 接口命令和控制处理器。
2. 复位：此事件使处理器复位。
3. 不可屏蔽中断(NMI)：NMI 事件可以由软件“看门狗”定时器或者处理器的 NMI 输入信号产生的。NMI 事件经常用作断电指示，有序地进行系统关闭工作。
4. 异常：异常是与程序执行同步发生的事件，即指令执行完之前可能会产生异常。例如数据对准违规、未定义指令等情况都将导致异常。
5. 中断：中断是与程序执行异步发生的事件，由定时器、外设、输入引脚等引起，也可以由软件指令触发。

每个事件都有一个相应的保存返回地址的寄存器和一个相应的从事件返回指令。一个事件被触发后，处理器当前状态被保存在管理员堆栈内。

ADSP-BF531/2/3 处理器的事件控制器包括 2 个部分，内核事件控制器 (CEC) 和系统中断控制器 (SIC)。内核事件控制器和系统中断控制器协同工作来控制优先级和控

制所有系统事件。从概念上讲，来自外设的中断进入到 SIC，然后被直接发送到 CEC 的通用中断中处理。

内核事件控制器(CEC)

除专用中断和异常事件外，CEC 还支持 9 个通用中断 (IVG15-7)。这些通用中断中，推荐将优先级最低的 2 个中断 (IVG15-14) 留作软件中断，剩下的 7 个优先级中断分别用于 ADSP-BF531/2/3 处理器的外设。表 2 描述了 CEC 的事件、事件向量表(EVT)的名称及优先级。

系统中断控制器(SIC)

系统中断控制器为来自多个外设的中断源提供至 CEC 通用中断输入的映射和路由。尽管 ADSP-BF531/2/3 处理器提供了默认的映射，用户仍可以通过改写中断设置寄存器(IAR)的值，来改变中断事件的映射和优先权。表 3 描述了 SIC 的中断源和至 CEC 的默认映射。

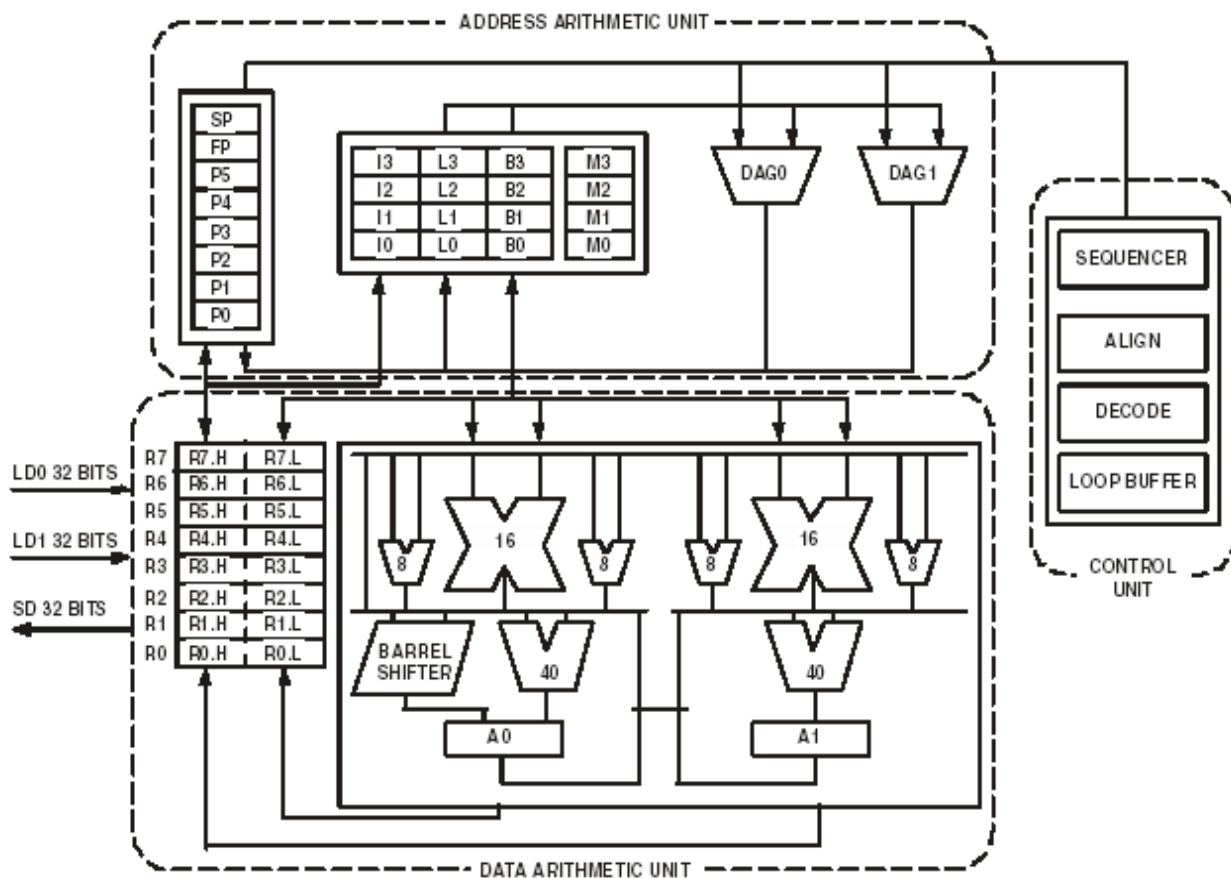


图 2 BLACKFIN 处理器内核

ADSP-BF531/ADSP-BF532/ADSP-BF533

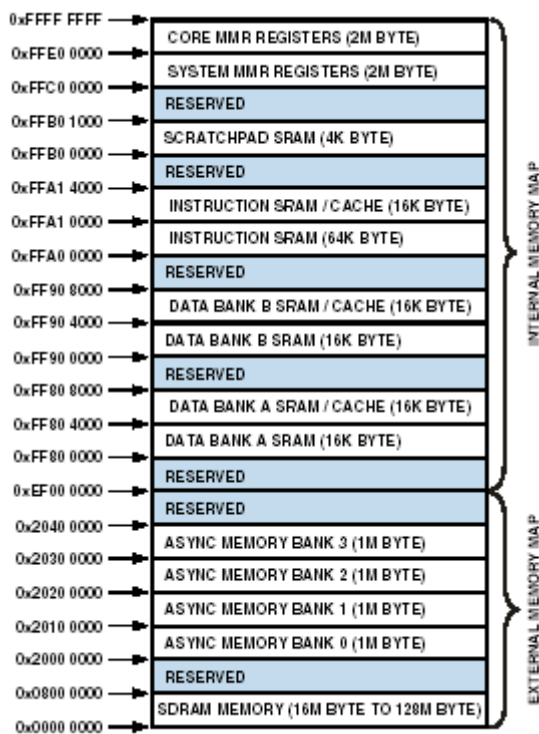


图3 ADSP-BF533 内/外部存储器图

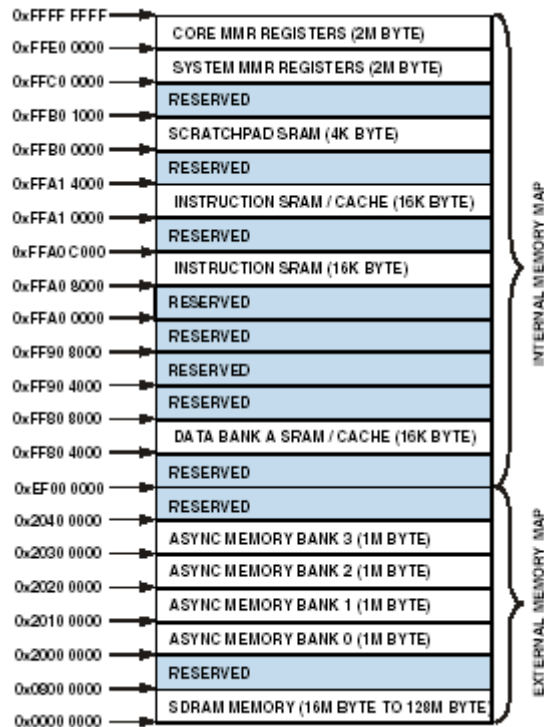


图5 ADSP-BF531 内/外部存储器图

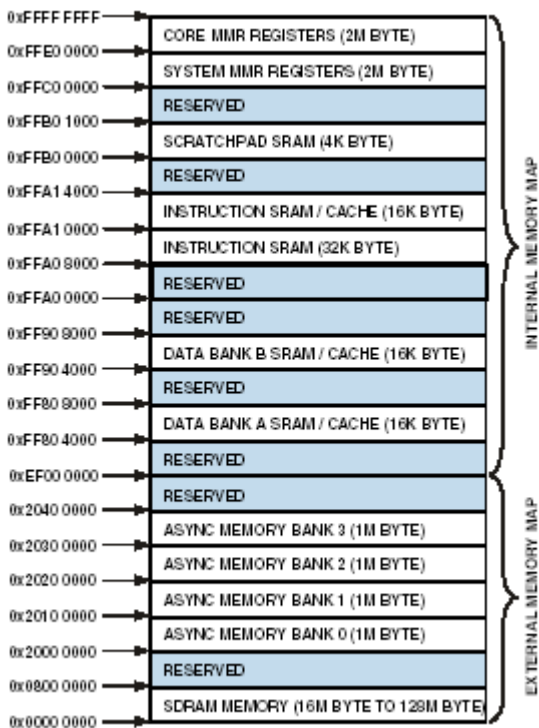


图4 ADSP-BF532 内/外部存储器图

事件控制

ADSP-BF531/2/3 处理器为用户提供了非常灵活的机制来控制事件的处理。在 CEC 中，有 3 个寄存器用于调整和控制事件。如下所示，每个寄存器都是 16 位宽度：

- 1、CEC 中断锁存寄存器(ILAT): ILAT 寄存器用于指示事件已被锁存。处理器锁存事件后相应的位置 1，事件被系统接受后该位清 0。该寄存器被控制器自动刷新，但仅当其相应的 IMASK 位被清除时可写。
- 2、CEC 中断屏蔽寄存器(IMASK): IMASK 寄存器控制发生的事件是否被屏蔽。当 IMASK 寄存器的相应位置 1 时，事件不被屏蔽，发生后由 CEC 处理。该位清 0 将屏蔽事件，即使该事件已被锁存在 ILAT 寄存器中，处理器也不会处理该事件。在管理员模式下，该寄存器可以被读写。（注：通用中断可以通过分别使用 STI 和 CLI 指令设置为全局使能和禁止）。
- 3、CEC 中断等待寄存器(IPEND): IPEND 寄存器跟踪所有嵌套的事件。IPEND 寄存器中的相应位置 1 表示事件当前处于活动状态或嵌套在某一级。该寄存器被控制器自动刷新，但是在管理员模式下才能读取。

SIC 使用 3 个 32 位中断控制和状态寄存器，来进一步控制事件的处理。每个寄存器都包含第 7 页表 3 所示的每个外设中断相对应的位。

1. SIC 中断屏蔽寄存器(SIC_IMASK): 此寄存器控制每个外设中断事件是否被屏蔽。当寄存器的相应位置 1 时，事件不被屏蔽，发生后由系统处理。该位清 0 将屏蔽外设事件，使之不被处理。

表 2. 内核事件控制器(CEC)

优先级 (0 为最高)	事件类	EVT 入口
0	仿真/测试控制	EMU
1	复位	RST
2	不可屏蔽中断	NMI
3	异常	EVX
4	保留	-
5	硬件错误	IVHW
6	内核定时器	IVTMR
7	通用中断 7	IVG7
8	通用中断 8	IVG8
9	通用中断 9	IVG9
10	通用中断 10	IVG10
11	通用中断 11	IVG11
12	通用中断 12	IVG12
13	通用中断 13	IVG13
14	通用中断 14	IVG14
15	通用中断 15	IVG15

表 3. 系统中断控制器(SIC)

外设中断事件	默认映射
PLL 唤醒	IVG7
DMA 错误	IVG7
PPI 错误	IVG7
SPORT 0 错误	IVG7
SPORT 1 错误	IVG7
SPI 错误	IVG7
UART 错误	IVG7
实时时钟	IVG8
DMA 通道 0 (PPI)	IVG8
DMA 通道 1 (SPORT 0 RX)	IVG9
DMA 通道 2 (SPORT 0 TX)	IVG9
DMA 通道 3 (SPORT 1 RX)	IVG9
DMA 通道 4 (SPORT 1 TX)	IVG9
DMA 通道 5 (SPI)	IVG10
DMA 通道 6 (UART RX)	IVG10
DMA 通道 7 (UART TX)	IVG10
定时器 0	IVG11
定时器 1	IVG11
定时器 2	IVG11
PF 中断 A	IVG12
PF 中断 B	IVG12
DMA 通道 8 和 9 (存储器 DMA 流 1)	IVG13
DMA 通道 10 和 11 (存储器 DMA 流 0)	IVG13
软件看门狗定时器	IVG13

2. SIC 中断状态寄存器(SIC_ISR): 由于多个外设可以映射到同一事件, 该寄存器允许软件设置哪个外设事件源触发该中断。相应位置 1 表明外设发出了中断, 为

0 则表明外设未发出事件。

3. SIC 中断唤醒使能寄存器(SIC_IWR): 通过使能该寄存器中的相应位, 当事件发生而处理器处于睡眠(掉电)模式时, 可以设置一个外设唤醒处理器。(更多信息, 见第 10 页动态功率管理。)

由于多个中断源可以映射到同一个通用中断, 因此该中断输入引脚上可能同时出现多个脉冲, 这可以发生在对一个已检测到的中断处理之前或之中。IPEND 寄存器的内容由 SIC 监控, 以检查中断是否得到确认。

当一个中断上升沿被检测到(检测需要 2 个内核时钟周期), ILAT 寄存器的相应位被置 1。当 IPEND 寄存器的任一位被置 1 时, 该位被清 0。IPEND 的这位表示该事件已进入处理器流水线。此时, CEC 将在下一个事件到来时识别其上升沿, 并将这一事件排入队列。从通用中断的上升沿到 IPEND 寄存器的输出置 1, 最小的延迟为 3 个内核时钟周期; 然而, 由于内部的活动和处理器的状态不同, 延迟可能更长。

DMA 控制器

ADSP-BF531/2/3 处理器有多个独立的 DMA 控制器, 能够以最小的处理器内核开销完成自动的数据传输。DMA 传输可以发生在 ADSP-BF531/2/3 处理器的内部存储器和任一有 DMA 能力的外设之间。此外, DMA 传输也可以在任一有 DMA 能力的外设和已连接到外部存储器接口的外部设备之间完成(包括 SDRAM 控制器、异步存储器控制器)。有 DMA 传输能力的外设包括 SPORTs、SPI 端口、UART 和 PPI 端口。每个独立的有 DMA 能力的外设至少有一个专用 DMA 通道。

ADSP-BF531/2/3 处理器的 DMA 控制器能够支持一维(1D)或二维(2D)DMA 传输。DMA 传输的初始化可以由寄存器或名为描述子块的参数来实现。

二维 DMA 支持任意的行列数量, 最大可达 64K 乘 64K 单位, 支持任意数量的行列的步进, 最大可达±32K 单位。而且, 列步进的值可以小于行步进的, 这就允许实现隔行扫描的数据流。这个特性对于视频应用非常有用, 可以实时进行数据的反隔行存储。

ADSP-BF531/2/3 处理器的 DMA 控制器支持的典型的 DMA 操作包括:

1. 单一的、传输完成时停止的线性缓冲区
2. 自动刷新的循环缓冲区, 当每一个或部分缓冲区满时中断
3. 一维或二维 DMA, 使用描述子链表
4. 二维 DMA, 使用一个描述子阵列, 仅指定公共页内的基 DMA 地址

除专用外设的 DMA 通道以外, 在 ADSP-BF531/2/3 处理器的不同存储器之间有两个存储器 DMA 通道。这使

ADSP-BF531/ADSP-BF532/ADSP-BF533

得任意的存储器（包括外部 SDRAM、ROM、SRAM 和 FLASH）之间的数据块传输成为可能，并使处理器干预降到最小。存储器 DMA 传输可以通过一套非常灵活的基于描述子的方法或标准的基于寄存器的自动缓冲机制来控制。

实时时钟

ADSP-BF531/2/3 处理器的实时时钟(RTC)提供了一个具有当前时间、跑表和报警等功能的稳定的数字表。该 RTC 的时钟采用 ADSP-BF531/2/3 处理器外部的 32.768KHz 晶振。RTC 有专用的电源引脚，以使得当处理器其它部分处于低功耗状态时 RTC 仍然保持供电和时钟。RTC 提供了数个可编程的中断选择包括以日、时、分、秒计数中断，可编程跑表倒数计数中断，或者已编程的警报时钟中断。

32.768KHz 的输入时钟频率通过分频器成为 1Hz 信号。具有计数功能的定时器包括 4 个计数器：一个 60 秒的计数器、一个 60 分的计数器、一个 24 小时计数器和一个 32768 天的计数器。

报警功能启动后，当定时器的输出和报警控制寄存器中给定值相等时，报警功能会产生一个中断。报警分为两类：第一类是时间报警；第二类是日期加时间报警。

跑表功能从一个已编程的值计数，分辨率为 1 秒钟。当跑表功能启动且计数器下溢出时，便产生中断。

同其它外设一样，RTC 可以通过产生 RTC 唤醒事件将处理器从睡眠模式中唤醒。此外 RTC 唤醒事件还可以将处理器从深度睡眠模式中唤醒，并可以将片内调压器从掉电状态下唤醒。

用外部元件连接 RTC 的引脚 RTXI 和 RTXO，如图 6 所示。

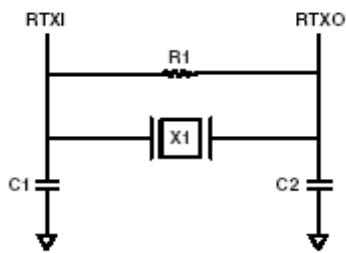


图 6 RTC 的外部元件

推荐元件：

ECLIPTEK EC38J (通孔封装)

EPSON MC-405 12pF LOAD(表贴封装)

C1=22pF

C2=22pF

R1=10MΩ

注意：C1 与 C2 专用于推荐的晶振 X1

联系晶振制造商索取 C1 和 C2 的详细资料
规格假定板上线路容值为 3pF

“看门狗”定时器

ADSP-BF531/2/3 处理器包含一个 32 位定时器，可用

于执行软件的“看门狗”功能。软件“看门狗”可以提高系统的可靠性，如果在软件复位前定时器溢出，软件“看门狗”通过产生一个硬件复位、不可屏蔽中断(NMI)或通用中断来强迫处理器进入一个已知状态。程序员初始化定时器计数值，使能相应的中断，然后启动定时器。随后，软件必须在计数器从给定值计数到 0 前重新装载计数器。这样防止系统停留在未知状态。在未知状态下，软件由于外部噪声或者软件错误等停止运行后，通常将定时器复位。

如果设置硬件复位，“看门狗”定时器可以复位 CPU 和 ADSP-BF531/2/3 外设。复位后，软件可以通过查询“看门狗”定时控制寄存器的一个状态位来确定“看门狗”是否为硬件复位的来源。

定时器的时钟采用系统时钟(SCLK)，以最高频率 f_{SCLK} 运行。

定时器

ADSP-BF531/2/3 处理器有 4 个通用可编程定时器。3 个定时器连有外部引脚，可以用作脉冲宽度调制器(PWM)或定时器输出，也可以用作定时器的输入时钟或测量外部事件的脉冲宽度周期的输入。这些定时器可对一个输入 PF1 引脚的外部时钟，输入 PPI_CLK 引脚的外部时钟或对内 SCLK 同步。

定时器单元可以与 UART 联合使用，进行串行通道数据流的脉冲宽度的测量，提供自动的波特率检测功能。

定时器能够向处理器内核发出中断，为同步、处理器时钟、或外部信号的计数值提供周期性事件。

除 3 个通用可编程定时器外，还提供了第 4 个定时器。这个额外的定时器由内部处理器时钟(CCLK)驱动，一般用作系统标记时钟，用以产生操作系统的周期性中断。

串行口(SPORTs)

ADSP-BF531/2/3 处理器提供 2 个双通道同步串行端口 (SPORT0 和 SPORT1) 来完成串行和多地处理器的通信工作。SPORT 有以下特点：

1. 支持 I²S 功能。
2. 双向操作：每个 SPORT 都有 2 套独立的发送和接收引脚，支持 I²S 立体声 8 通道。
3. 缓冲的 (8-deep) 发送和接收端口：每个端口都有一个数据寄存器，用以同其它处理器部件间进行双向数据传输；多个移位寄存器用于数据寄存器内数据的移入和移出。
4. 时钟：每个发送或接收端口或者使用外部串行时钟，或者使用自己产生的频率范围为 ($f_{SCLK} / 131,070$) Hz 到 ($f_{SCLK} / 2$) Hz 的时钟。
5. 字长：每个 SPORT 都支持 3 到 32 位长度的串行数据

字,以最高有效位在前或最低有效位在前的格式传送。

6. 帧: 每个发送和接收端口在无论每个数据字有无帧同步信号的情况下都能运行。帧同步信号能够从内部或者外部产生,可以高有效或低有效,要求2个脉冲宽度,可以前或后帧同步。
7. 硬件压扩: 每个 SPORT 都能根据 ITU 推荐的 G.711 标准完成 A 律和μ律压扩。对 SPORT 的发送和/或接收通道都能进行压扩,而且没有额外的延迟。
8. 单时钟周期开销的 DMA 操作: 每个 SPORT 都可以自动发送和接收多个缓冲区的数据信息。处理器能够链接或串接 SPORT 和存储器之间的多个 DMA 序列。
9. 中断: 完成数据传输或者传输完整个数据缓冲区或通过 DMA 缓冲之后,每个发送和接收端口都能产生一个中断。
10. 多通道能力: 每个 SPORT 支持 1024 个通道窗中的 128 个通道,并兼容 H.100、H.110、MVIP-90 和 HMVIP 标准。

串行外设接口(SPI)

ADSP-BF531/2/3 处理器有 1 个 SPI 兼容的端口,能够使控制器与多个 SPI 兼容的设备通信。

SPI 接口使用 3 个引脚传输数据: 2 个数据引脚(主输出-从输入 MOSI 和主输入-从输出 MISO)和 1 个时钟引脚(串行时钟 SCK); 1 个 SPI 片选输入引脚($\overline{\text{SPISS}}$)可使其它 SPI 设备选择处理器; 7 个 SPI 片选输出引脚($\overline{\text{SPISEL7-1}}$)使处理器能够选择其它 SPI 设备。这些 SPI 引脚也可以被重新配置为可编程标志引脚。通过这些引脚, SPI 端口提供了全双工的同步串行接口,支持主从模式和多主环境。

此 SPI 的波特率和时钟的相位/极性都是可编程的,而且都集成有一个 DMA 控制器,可配置为发送或接收数据流。SPI 的 DMA 控制器在任意给定时间,只能进行单向访问。

SPI 端口的时钟速率用下式计算:

$$\text{SPI Clock Rate} = \frac{f_{\text{SCLK}}}{2 \times \text{SPI_Baud}}$$

其中 16 位的 SPI_Baud 寄存器包含值为 2—65535。

在传输过程中, SPI 端口在 2 个串行数据线上通过移入和移出数据,同时完成发送和接收工作。串行时钟线使 2 条串行数据线上的数据移位和采样同步。

UART 端口

ADSP-BF531/2/3 处理器提供 1 个全双工的通用异步接收/发送(UART)端口,它与 PC 标准的 UART 完全兼容。

UART 端口为其它外设或主机提供了一个简化的 UART 接口,支持全双工、有 DMA 能力的异步串行数据传输。UART 端口支持 5 至 8 个数据位、1 或 2 个停止位以及无校验、奇校验、偶校验位。UART 端口支持以下 2 种模式的操作:

1. PIO (已编程 I/O): 处理器通过读/写 I/O 映射的 UATX 寄存器,发送或接收数据。在发送和接收时,数据都是双缓冲的。
2. DMA (直接存储器访问): DMA 控制器传输发送和接收数据。这就减少了与存储器传输数据所需的中断的数量和频率。每个 UART 都有 2 个专用的 DMA 通道,一个用于发送,一个用于接收。这些 DMA 通道的默认优先级低于大多数 DMA 通道,因为其使用率相对较低。

UART 端口的波特率、串行数据格式、错误代码的产生和状态、及中断均可编程:

1. 支持位速率每秒从($f_{\text{SCLK}}/1,048,576$)到($f_{\text{SCLK}}/16$)位。
2. 支持每帧 7 至 12 位的数据格式。
3. 发送和接收操作都可被配置为对处理器能产生可屏蔽中断。

UART 时钟速率计算如下:

$$\text{UART Clock Rate} = \frac{f_{\text{SCLK}}}{16 \times \text{UART_Divisor}}$$

其中 16 位的 UART_Divisor 来自于 DLH 寄存器(高 8 位)和 DLL 寄存器(低 8 位)。

与通用定时器联合使用可进行自动波特率检测。

UART 的功能被进一步扩展,能支持红外数据协会(IrDA)的串行红外物理层连接规范(SIR)协议。

可编程标志(PFx)

ADSP-BF531/2/3 处理器有 16 个双向的通用可编程 I/O 引脚(PF15-0)。每一个可编程引脚都能通过操作下面的标志控制寄存器、标志状态寄存器和标志中断寄存器被独立控制:

1. 标志方向控制寄存器—规定每个独立的 PFx 引脚的方向,用作输入或输出。
2. 标志控制和状态寄存器—ADSP-BF531/2/3 处理器使用一种“写 1 修改”的机制,能够在不影响其它标志的情况下,一个处理器周期内完成对这些标志进行任意组合地修改。4 个控制寄存器用于此工作,一个用来设置标志,一个用来清除标志,一个用来切换标志,一个用来指定标志。通过软件读标志状态寄存器,可以查看标志的状态。

ADSP-BF531/ADSP-BF532/ADSP-BF533

- 标志中断屏蔽寄存器—2 个标志中断屏蔽寄存器允许每个独立的 PFX 引脚为处理器提供中断。与用于设置和清除标志的 2 个标志控制寄存器类似，一个标志屏蔽寄存器通过设置相应的位来使能中断功能，另一个标志屏蔽寄存器通过清除相应的位来禁止中断功能。PFX 引脚定义为输入时，能够设置为产生硬件中断；定义为输出时，能够设置被软件中断触发。
- 标志中断敏感寄存器—2 个标志中断敏感寄存器用于规定每个 PFX 引脚是电平还是边沿敏感，如果是边沿敏感，还规定是仅上升沿敏感，还是信号的上升沿和下降沿都敏感。一个寄存器选择敏感类型，另一个寄存器选择边沿敏感的敏感边沿。

并行外设接口

ADSP-BF531/2/3 处理器提供可直接与并行 A/D 和 D/A 转换器、ITU R601/656 视频编码和解码器以及其它通用外设连接的并行接口 (PPI)。PPI 包括一个专用时钟引脚，多达 3 个帧同步引脚和多达 16 个数据引脚。输入时钟支持系统时钟一半的并行数据传输率。

在 ITU-R656 模式下，PPI 接收并分析 8 或 10 位视频数据流。此外，片内还支持嵌入的控制和同步信息的解码。

支持三种截然不同的 ITU-R656 模式

- 活动视频模式—PPI 不会读入在活动视频结束 (EAV) 和活动视频启动 (SAV) 同步符号间的任何数据，也不读入消隐期间的任何数据。该模式下，控制字节序列不存入存储器，直接被 PPI 过滤。
- 垂直消隐模式—PPI 只传送垂直消隐数据，水平消隐数据和垂直消隐行上的控制码序。
- 整场模式—PPI 读入到来的全部数据流，包括活动视频、同步控制序列及水平和垂直消隐期间的辅助数据。

虽然不直接支持 ITU-R656 的输出，但可以通过在存储区中设定全帧结构 (包括活动视频，消隐，和控制信息)，并用无帧同步模式将数据从 PPI 口送出来实现 ITU-R656 的输出功能。处理器的 2D DMA 模式简化了这种传送方法，它允许将静态帧缓冲器放在存储器中，而只在每帧更新新活动视频信息。

PPI 的通用模式可应用于各种数据采集和数据传输的场合，该模式主要分为 4 个不同的子块，每块可提供高达每 PPI_CLK 16 位数据传送率。

- 接收数据时由内部产生同步信号
- 接收数据时由外部产生同步信号
- 传送数据时由内部产生同步信号
- 传送数据时由外部产生同步数据

这几种模式都支持 ADC 和 DAC 的连接以及硬件信号

控制的视频通信。支持多余一级的帧同步，如果需要的话，还可以在帧同步信号被判定之前和数据接收与传送之间加入可编程的延时。

动态电源管理

ADSP-BF531/2/3 处理器提供 5 种运行模式，每种模式有不同的性能/功耗特性。此外，动态功率管理有动态地改变处理器内核供电电压的控制功能，进一步降低功耗。控制每一个 ADSP-BF531/2/3 处理器外设的时钟也能降低功耗。表 4 概要列出了每种模式下的功率设置。

全速运行模式—最高性能

在全速模式下，PLL 被使能，且不被旁路，因此提供最高运行频率。这是上电默认执行状态，此时可获得最高性能。处理器内核和所有使能的外设都以全速运行。

活动运行模式—中等功率节省

在此模式下，PLL 被使能，但被旁路。因为 PLL 被旁路，处理器内核时钟 (CCLK) 和系统时钟 (SCLK) 运行于输入时钟 (CLKIN) 频率下。在此模式下，CLKIN 到 CCLK 倍频可变，直到进入全速运行模式。通过适当地配置 LI 存储器，可以进行 DMA 访问。

在活动运行模式下，通过 PLL 控制寄存器 (PLL_CTL) 禁止 PLL 是可能的。如果被禁止，在转换到全速或休眠模式前必须被使能。

表 4. 功率设置

模式	PLL	PLL 旁路	内核时钟 (CCLK)	系统时钟 (SCLK)	内核电源
全速	使能	否	使能	使能	ON
活动	使能 / 禁用	是	使能	使能	ON
休眠	使能	-	禁用	使能	ON
深度休眠	禁用	-	禁用	禁用	ON
冬眠	禁用	-	禁用	禁用	OFF

冬眠运行模式—最大静态功率节省

冬眠模式通过停止处理器内核供电、内核时钟 (CCLK) 和所有同步外围时钟 (SCLK) 来最大的节省静态功率。处理器的内部调压器可以通过向 VR_CTL 寄存器的 FREQ 位写 b#00 来关闭，这样同时停止了 CCLK 和 SCLK。此外，内部供电电压也被设置为零，从而达到最低的静态功率损耗。如果要保存处理器的状态，存储在内部 (寄存器的内容、存储器的内容) 的重要信息必须在掉电前存储到非易失存储设备中。由于在这种模式下 V_{DDEXT} 仍然供电，除非特殊说明所有外部管脚均为三态输出。这样使可能连接到处理器上的其他设备仍然能够正常工作，而不用增加特别的电路来供电。内部调压器可以通过实时时钟唤醒事件或复位 (/RESET) 事件唤醒。

休眠运行模式—高动态功率节省

休眠运行模式通过关闭处理器内核（CCLK）的时钟来降低功耗，然而PLL和系统时钟（SCLK）仍在运行。一般通过外部事件或RTC活动来唤醒处理器。此模式下唤醒的出现将会使处理器检查PLL控制寄存器(PLL_CTL)中旁路位（BYPASS）的值。如果旁路位被关闭，处理器将切换到全速运行模式。如果旁路位使能，处理器将切换到活动运行模式。

休眠模式时，系统DMA不支持对L1存储器的访问。

深度休眠运行模式—最大动态功率节省

通过关闭处理器内核（CCLK）和所有同步外设（SCLK）的时钟，深度休眠运行模式将获得最大的功率节省。异步外设，如 RTC，可能仍运行但将不能访问内部资源或外部存储器。这种掉电模式只能通过复位中断（RESET）或由 RTC 产生的异步中断退出。深度睡眠模式下，RTC 异步中断将使处理器进入活动运行模式，RESET 有效时，处理器将切换到全速运行模式。

功率节省

如表 5 所示，ADSP-BF531/2/3 处理器支持 3 种不同的电源范围。使用多个电源范围在与工业标准和惯例兼容的同时，可获得最大的灵活性。通过将 ADSP-BF531/2/3 处理器内部逻辑隔离为独立的电源，同 RTC 和其它 I/O 分离，处理器能够使用动态功率管理，而不影响 RTC 或其它 I/O 设备。在各个电压域之间没有时序的要求。

处理器的功耗主要是处理器时钟和工作电压的平方的函数。例如，降低 25% 的时钟频率就能降低 25% 的功耗，而降低 25% 的电压可以降低 40% 以上的功耗。此外，这些功率节省是加性的，如果时钟频率和电源都降低，功耗将会更显著地降低。

表 5. 电源范围

电源范围	VDD范围
除RTC所有内部逻辑	V _{DDINT}
RTC内部逻辑和晶体I/O	V _{DDRTC}
所有其它I/O	V _{DDEXT}

ADSPBF531/2/3 处理器动态功率管理允许处理器的输入电压（V_{DDINT}）和时钟频率（f_{CLK}）动态可控。

如上所述，功耗节省可用功率节省因子和%功率节省量的模型表示：

功率节省因子计算如下：

功率节省因子=

$$\frac{f_{CCLKRED}}{f_{CCLKNOM}} \times \left(\frac{V_{DDINTRED}}{V_{DDINTNOM}} \right)^2 \times \left(\frac{T_{RED}}{T_{NOM}} \right)$$

其中公式中的变量为：

f_{CCLKNOM}是标称内核时钟频率

f_{CCLKRED}是降低的内核时钟频率

V_{DDINTNOM}是标称内部供给电压

V_{DDINTRED}是降低的内部供给电压

T_{NOM}是在 F_{CCLKNOM} 的运行时间

T_{RED}是在 F_{CCLKRED} 的运行时间

功率节省因子的百分数为：

$$\% \text{功率节省} = (1 - \text{功率节省因子}) \times 100\%$$

电压调节

BLACKFIN 处理器提供一个片上调压器，它可以从外部 2.25V 到 3.6V 的供电电压产生处理器内核电压 0.85V 到 1.2V。完成电源管理典型的外部元件要求如图 7 所示。这个调压器控制内部逻辑电压，并且通过对调压控制寄存器（VR_CTL）编程，能够获得 50mV 增量的电压。为了减少备用功率损耗，内部调压器可进行编程，在保持 I/O（V_{DDEXT}）供电的情况下将功率移给处理器内核。而在冬眠模式下，V_{DDEXT} 仍然可用，并且不需要外部的缓冲器。在这种掉电状态下，调压器可以通过 RTC 唤醒或判定 RESET 位来激活，这样将初始化引导序列。调压器可由用户决定被禁止或旁路。

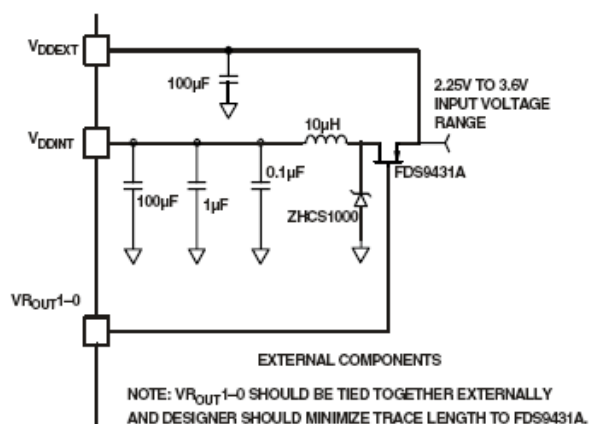


图 7. 电压调节电路

时钟信号

ADSP-BF531/2/3 处理器使用来自外部晶振的正弦输入，或经过缓冲整形的外部时钟。

如果使用外部时钟，该时钟信号应是 TTL 兼容信号，而且正常运行时，此时钟不能停止、改变、或低于指定的频率。此外外部时钟应连到 DSP 的 CLKIN 引脚，且 XTAL 引脚必须悬空。

由于 ADSP-BF531/2/3 处理器有片内振荡电路，所以外部晶体也可以使用。外部晶体应当连接到 CLKIN 和

ADSP-BF531/ADSP-BF532/ADSP-BF533

XTAL 引脚，并与两个电容相连，如图 8 所示。电容值取决于晶体的类型，应当由晶体厂商提供。此处应当使用并联谐振、基因频率、微处理器级的晶体。

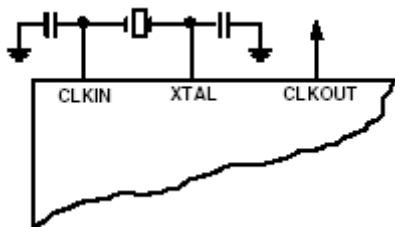


图 8. 外部晶体连接

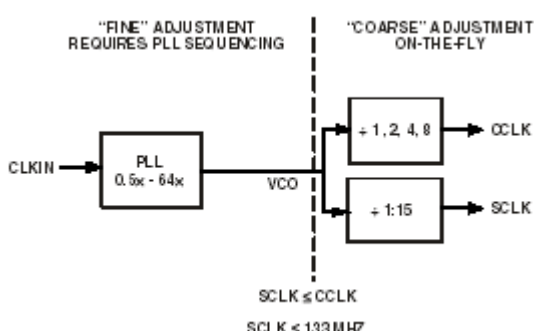


图 9. 频率转换模式

如图 9 所示，内核时钟（CCLK）和系统外设时钟（SCLK）可由输入时钟（CLKIN）信号获得。用户编程 1x 到 63x 的倍频因子（由最小和最大 VCO 频率决定），可使片上 PLL 倍频 CLKIN 信号。默认的倍数为 10x，但可以通过软件指令改变。简单地写 PLL_DIV 寄存器可以改变运行频率。

所有片上外设都以设定好的系统时钟（SCLK）速度运行。此系统时钟频率可通过 PLL_DIV 寄存器的 SSEL3-0 位的值编程。SSEL 的编程值规定了 PLL 输出（VCO）和系统时钟的分频比率。SCLK 分频值为 1 到 15，表 6 给出了典型的系统时钟比率。

表 6. 系统时钟比率示例

信号名称	分频比率 VCO/SCLK	频率比率示例 (MHz)	
		VCO	SCLK
SSEL3-0	SCLK	VCO	SCLK
0001	1:1	100	100
0011	3:1	400	133
1010	10:1	500	50

系统时钟最高频率是 f_{SCLK} 。注意分频比率必须选择，使之能将系统时钟频率限制到最大值 f_{SCLK} 。SSEL 的值可以通过写 PLL 分频寄存器 (PLL_DIV) 来动态改变，没有任何 PLL 锁定延时。

通过设置 PLL_DIV 寄存器 CSEL[1-0] 位的值，也能动态地改变内核时钟（CCLK）频率。如表 7 所示，CCLK 分频比率可以是 1, 2, 4 和 8。可编程的内核时钟频率对快速

的内核时钟频率修改非常有用。

表 7. 内核时钟频率

信号名称 CSEL[1-0]	分频比率 VCO/ CCLK	频率比率示例 (MHz)	
		VCO	CCLK
00	1:1	300	300
01	2:1	300	150
10	4:1	500	125
11	8:1	200	25

引导模式

复位后，ADSP-BF531/2/3 处理器有两种机制（表 8 中列出）自动载入内部 L1 指令存储器的程序。第三种模式从外部存储器执行，绕过引导程序。

表 8. 引导模式

BMODE2-0	说明
00	从外部 16 位存储器执行（旁路引导 ROM）
01	由 8 位或 16 位 Flash 引导
10	保留
11	由 SPI 串行 EEPROM 引导（8 位，16 位或 24 位地址范围）

上电复位或软件初始化复位后，处理器采样复位配置寄存器的 BMODE 脚，执行以下引导模式：

1. 从外部 16 位存储器执行—从地址 0x2000000 开始执行，数据 16 位压缩，此模式跳过引导 ROM。所有的配置参数都设置为适合最慢的设备（3 个周期的保持时间，15 周期的 R/W 访问时间，4 个周期的建立时间）
2. 从外部 8 位或 16 位外部 Flash 存储器引导—位于引导 ROM 存储空间的 Flash 引导程序通过异步存储器 Bank 0 设置。所有的设置参数都适合最慢的设备。（3 个周期的保持时间；15 个周期的 R/W 访问时间；4 个周期的建立时间。）
3. 从 SPI 串行 EEPROM 引导（8 位，16 位或 24 位寻址）—SPI 用 PF2 输出引脚选择一个 SPI EEPROM 设备，在地址 0x00, 0x0000 或 0x000000 开始发出连续读数据命令，直到检测到确定的 8 位，16 位或 24 位地址的 EEPROM，然后将之存入 L1 指令存储器的起始部分。

无论上述何种引导模式，从外部存储器设备首先要读入一个 10 个字节的头。这个头指定将被传输的字节数量和存储器的目的地址。多存储器模块可被任何引导顺序装载。一旦所有模块被装载，程序从 L1 指令 SRAM 的起始部分开始执行命令。

此外，通过设置复位配置寄存器第 4 位，应用程序可以使软件复位跳过正常的引导顺序。这样，处理器直接跳到 L1 指令存储空间的起始部分开始执行。

指令集描述

Blackfin 处理器系列汇编语言指令集使用易于编程和可读性强的代数语法。采用专门调整的灵活的高密度编码的指令，这些指令被编译后只占用非常小的存储空间。指令集还提供了体现 ADSP-BF531/2/3 全部特点的多功能指令，以使在一个指令中能够使用多个处理器内核资源。除许多微控制器上常见的功能外，指令集编译 C 和 C++源代码时效率非常高。此外，指令集还支持用户（算法/应用代码）和管理员（O/S 内核，设备驱动，调试器，ISRs）两种运行模式，允许对处理器内核资源的多级访问。

汇编语言采用了处理器独特的体系结构，具有以下优点：

1. 无缝集成 DSP/CPU 特征，对 8 位和 16 位操作进行了优化。
2. 并发加载/存储的改进哈佛体系结构，每个周期支持 2 个 16 位 MAC 或 4 个 8 位 ALU+2 个加载/存储+2 个指针更新。
3. 所有的寄存器、I/O、和存储器被映射成为统一 4GB 存储空间，提供了一个简化编程模式。
4. 微控制器特征，如任意位和位域操作，插入和提取；对 8 位、16 位和 32 位数据类型上的整数操作；独立的用户和管理员堆栈指针。
5. 代码密度增强，包括混合的 16 和 32 位指令（无模式转换和代码分离）。常用指令以 16 位编码。

开发工具

ADI 公司提供一套完整的 ADSP-BF531/2/3 处理器软硬件开发工具，包括仿真器和 Visual DSP++TM 开发环境。仿真器能够对 ADSP-BF531/2/3 处理器实现全仿真，还支持对其它 Blackfin 处理器芯片的仿真。

利用 Visual DSP++ 项目管理环境，程序员可以开发和调试应用程序。这个环境包括一个基于代数语法的易于使用的汇编器，一个归档器（库和库建立工具），一个链接器，一个加载器，一个精确到时钟周期、指令级的模拟器，一个 C/C++ 编译器和一个包括 DSP 和数学函数的 C/C++ 运行库。这些工具的最重要特点是 C/C++ 代码的有效性。编译器能有效地将 C/C++ 代码转换为 Blackfin 处理器的汇编代码。Blackfin 处理器体系结构的特点也提高了 C/C++ 代码的编译效率。

Visual DSP++ 调试器有许多重要的特性。灵活的绘图功能使数据更加清楚，这种用图形表示的用户数据使编程者可以快速的确定算法的性能，算法越复杂，这种性能在设计者的计划中就越重要，它可以直接提高生产力。统计学的特性使编程者可以不用终止程序就能够得到处理器性能就象运行了中断一样。这种 Visual DSP++ 独有的特性使软件开发不用中断程序的实时性就可以得到重要的代码执行情况，从而在本质上使开发者可以找到软件速度和效率的瓶颈，通过使用这个特性，编程者可以集中改正这些影

响程序性能的地方。

用 Visual DSP++ 调试器试 C/C++ 和汇编程序时，程序员能够：

1. 查看混合的 C/C++ 和汇编代码（混合源代码和目标信息）
2. 插入断点
3. 根据寄存器、存储器和堆栈设置条件断点
4. 跟踪指令执行
5. 对执行的程序进行线性或统计性能分析
6. 对存储器进行 Fill、Dump 和绘图操作
7. 执行源程序级调试
8. 创建用户调试窗口

Visual DSP++ IDDE 能够让程序员定义和管理 DSP 软件开发环境。它的对话框和属性页可以让程序员配置和管理所有的开发工具，包括 Visual DSP++ 编辑器里的语法高亮颜色。这些功能允许程序员：

1. 控制开发工具如何处理输入和产生输出
2. 维护与命令行操作一一对应的操作

Visual DSP++ 内核（VDK）提供进度和资源管理功能，能够根据存储器地址和 DSP 程序时序约束进行裁剪，能使工程师在开发新程序时提高编程效率，不用从头写起。VDK 的特征包括线程，Critical 和 Unscheduled region，Semaphores，事件和设备标志。VDK 同时也支持优先级的、抢占的、协作和时间片的方法。此外，VDK 是可裁剪的。如果应用程序不使用某种功能，可以将支持此功能的代码从目标系统中清除。

因为 VDK 是一个库，开发者可以决定是否使用它。VDK 已被集成到了 Visual DSP++ 开发环境中，也可以通过标准的命令行工具使用。当使用 VDK 调试一个程序时，开发环境帮助开发者解决许多易犯的错误同时帮助管理系统资源，自动配置许多 VDK 基础目标的阶段，并可视化系统状态。

VCSE 是 Analog Device 公司自己创造，使用并可以重复使用的软件组件（独立于子功能），它用于快速并可靠的集合软件应用，使用者可以从网上下载使用这个组件。Visual DSP++ 里面也自带了新发布的组件。VCSE 支持 C/C++ 和汇编两种语言。

可以使用专家链接器（Expert Linker）对欠入式系统中代码和数据位置的安排进行可视化的操作，查看存储器时使用了一种彩色的代码图形格式，可以通过鼠标的拖拽方便的将数据和代码移动到处理器或外部存储区。并可以检查实时堆栈和堆的使用情况。专家链接器与现存的链接文件（LDF）完全兼容，这样使开发者可以在文档形式和图形格式之间任意切换。

Analog Device 公司的 ADSP-BF531/2/3 处理器的仿真器使用 IEEE 1149.1 JTAG 测试访问端口，在仿真时监视和

控制目标板上的处理器。仿真器提供全速仿真，允许查看和修改存储器、寄存器和处理器堆栈。使用处理器 JTAG 接口可确保进行不干扰处理器运行的电路仿真——仿真器不会影响目标系统的装载和定时。

除 Analog Device 公司提供软件开发工具外，第三方也提供了许多支持 Blackfin 处理器的工具。硬件工具包括 Blackfin 处理器与 PC 机的开发卡，软件工具包括 DSP 库、实时操作系统和方框图设计工具等。

设计仿真器兼容的处理器板

ADI 公司的仿真器是每个 DSP 开发者都需要的测试和调试软件系统的工具。ADSP-BF531/2/3 提供了一个 IEEE 1149.1 JTAG 测试访问端口 (TAP)。通过此 TAP，仿真器能够访问 DSP 的内部，允许开发者装载代码，设置断点，观察变量和存储器，检查寄存器。在发送数据和命令时处理器必须暂停，但当仿真器完成此次操作，处理器系统就可以全速运行，不影响系统的定时时序。

要使用这些仿真器，用户目标板上必须设计有连接处理器的 JTAG 接口和仿真插座。

目标板设计过程中的细节问题，例如：机械版图设计、信号处理连接、多处理器连接、信号缓存、信号结束、和仿真逻辑等，请看 EE-68：ADI 公司网站 (WWW.analog.com) 上搜索“EE-68”，模拟设备 JTAG 仿真技术参数。本文档随仿真技术的改进随时更新。

ADSP-BF531/ADSP-BF532/ADSP-BF533

引脚描述

ADSP-BF531/2/3 处理器的引脚定义列于表 9。

除了存储器接口、异步存储器控制、同步存储器控制管脚被拉高以外，所有引脚在复位时和复位后呈三态。如果 \overline{BR} 使能，则存储器管脚也为三态。除了在表格标注中说明的需要被上拉或下拉的管脚，所有未使用 I/O 管脚的输入存储器都被禁止。

为保持最大的功能并减少引脚的数量，某些引脚有两个或多个功能，对于这些可重配置引脚的替代功能用斜体标出。

表 9. 引脚描述

引脚	I/O	功能	驱动模式 ¹
<i>存储器接口</i>			
ADDR[19-1]	O	地址总线用于异步/同步访问	A ²
DATA[15-0]	I/O	数据总线用于异步/同步访问	A ²
\overline{ABE} [1-0] /SDQM[1-0]	O	字节使能/异步/同步访问数据屏蔽	A ²
\overline{BR}	I	总线请求	
\overline{BG}	O	总线允许	A ²
\overline{BGH}	O	总线允许挂起	A ²
<i>异步存储器控制</i>			
$\overline{AMS3-0}$	O	Bank 选择	A ²
ARDY	I	硬件准备好控制	
\overline{AOE}	O	输出使能	A ²
\overline{ARE}	O	读使能	A ²
\overline{AWE}	O	写使能	A ²
<i>同步存储器控制</i>			
\overline{SRAS}	O	行地址选通	A ²
\overline{SCAS}	O	列地址选通	A ²
\overline{SWE}	O	写使能	A ²
SCKE	O	时钟使能	A ²
CLKOUT	O	时钟输出	B ⁴
SA10	O	A10 引脚	A ²
\overline{SMS}	O	Bank 选择	A ²
<i>定时器</i>			
TMR0	I/O	定时器 0	C ³ C ⁵
TMR1/PPI_FS1	I/O	定时器 1/PPI 帧同步 1	C ⁵
TMR2/PPI_FS2	I/O	定时器 2/PPI 帧同步 2	C ⁵
<i>并行外设</i>			
接口/GPIO			
PF0/ \overline{SPISS}	I/O	可编程标志引脚 0 / SPI 从选择输入	C ⁵
PF1 /SPISEL1 /TMRCLK	I/O	可编程标志引脚 1 / SPI 从选择使能 1 /外部定时器参考	C ⁵
PF2 /SPISEL2	I/O	可编程标志引脚 2 / SPI 从选择使能 2	C ⁵
PF3 /SPISEL3 /PPI_FS3	I/O	可编程标志引脚 3/ SPI 从选择使能 3/PPI 真同步 3	C ⁵
PF4 /SPISEL4 /PPI15	I/O	可编程标志引脚 4/ SPI 从选择使能 4/PPI15	C ⁵

ADSP-BF531/ADSP-BF532/ADSP-BF533

PF5 /SPISEL5 /PPI14	I/O	可编程标志引脚 5/ SPI 从选择使能 5/PPI14	C ⁵
PF6 /SPISEL6 /PPI13	I/O	可编程标志引脚 6/ SPI 从选择使能 6/PPI13	C ⁵
PF7 /SPISEL7 /PPI12	I/O	可编程标志引脚 7/ SPI 从选择使能 7/PPI12	C ⁵
PF8 /PPI11	I/O	可编程标志引脚 8/PPI11	C ⁵
PF9 /PPI10	I/O	可编程标志引脚 9/PPI10	C ⁵
PF10 /PPI9	I/O	可编程标志引脚 10/PPI9	C ⁵
PF11 /PPI8	I/O	可编程标志引脚 11/PPI8	C ⁵
PF12 /PPI7	I/O	可编程标志引脚 12/PPI7	C ⁵
PF13 /PPI6	I/O	可编程标志引脚 13/PPI6	C ⁵
PF14 /PPI5	I/O	可编程标志引脚 14/PPI5	C ⁵
PF15 /PPI4	I/O	可编程标志引脚 15/PPI4	C ⁵
PPI3-0	I/O	PPI3-0	C ⁵
PPI_CLK	I	PPI 时钟	C ⁵
串行口			
RSCLK0	I/O	Sport0 接收串行时钟	D ⁶
RFS0	I/O	Sport0 接收帧同步	C ⁵
DR0PRI	I	Sport0 接收主数据	
DR0SEC	I	Sport0 接收辅数据	
TSCLK0	I/O	Sport0 发送串行时钟	D ⁶
TFS0	I/O	Sport0 发送帧同步	C ⁵
DT0PRI	O	Sport0 发送主数据	C ⁵
DT0SEC	O	Sport0 发送辅数据	C ⁵
RSCLK1	I/O	Sport1 接收串行数据	D ⁶
RFS1	I/O	Sport1 接收帧同步	C ⁵
DR1PRI	I	Sport1 接收主数据	
DR1SEC	I	Sport1 接收辅数据	
TSCLK1	I/O	Sport1 发送串行时钟	D ⁶
TFS1	I/O	Sport1 发送帧同步	C ⁵
DT1PRI	O	Sport1 发送主数据	C ⁵
DT1SEC	O	Sport1 发送辅数据	C ⁵
SPI 端口	I/O/T		
MOSI	I/O	主输出从输入	C ⁵
MISO ⁷	I/O	主输入从输出	C ⁵
SCK	I/O	SPI 时钟	D ⁶
UART 端口			
RX	I	UART 接收	
TX	O	UATR 发送	C ⁵
实时时钟			
RTXI ⁸	I	RTC 晶振输入	
RTXO	O	RTC 晶振输出	
JTAG 端口			
TCK	I	JTAG 时钟	
TDO	O	JTAG 串行数据输出	C ⁵
TDI	I	JTAG 串行数据输入	

ADSP-BF531/ADSP-BF532/ADSP-BF533

TMS	I	JTAG 模式选择	
$\overline{\text{TRST}}^9$	I	JTAG 复位	
$\overline{\text{EMU}}$	O	仿真输出	C ⁵
时钟			
CLKIN	I	时钟/晶振输入	
XTAL	O	晶振输出	
模式控制			
$\overline{\text{RESET}}$	I	复位	
NMI ⁸	I	不可屏蔽中断	
BMODE1-0	I	引导模式绑定	
调压器			
VROUT	O	外部 FET/BJT 驱动	
电源			
VDDEXT	P	I/O 电源	
VDDINT	P	内部电源	
VDDRTC	P	实时时钟电源	
GND	G	外部地	

¹ 参考图 26 到图 30

² 见图 25 和图 26

³ 不用时此管脚应拉高

⁴ 见图 27 和图 28

⁵ 见图 29 和图 30

⁶ 见图 31 和图 32

⁷ 如果从 SPI 端口引导则此管脚应通过一个 4.7k Ω 的电阻拉高

⁸ 不用时此管脚应拉低

⁹ 如果不用 JTAG 端口则此管脚应拉低

ADSP-BF531/ADSP-BF532/ADSP-BF533

技术规格

推荐工作条件

参数 ¹	描述	最小	标称	最大	单位
V _{DDINT}	内部供电电压 (ADSP-BF531 和 ADSP-BF532)	0.8	1.2	1.32	V
V _{DDINT}	内部供电电压 (ADSP-BF533)	0.8	1.26	1.32	V
V _{DDEXT}	外部供电电压	2.25	2.5 或 3.3	3.6	V
V _{DDRTC}	实时时钟供电电压	2.25		3.6	V
V _{IH}	高电平输入电压 ^{1,2} , @V _{DDEXT} =maximum	2.0		3.6	V
V _{IHCLKIN}	高电平输入电压 ³ , @V _{DDEXT} =maximum	2.2		3.6	V
V _{IL}	低电平输入电压 ^{2,4} , @V _{DDEXT} =minimum	-0.3		0.6	V

¹ADSP-BF531/2/3 处理器为 3.3V 供电 (可以接受 3.6V 的最大电压), 但是电压取决于输入电压 V_{DDEXT}, 因为 V_{OH} (最大值) 近似等于 V_{DDEXT} (最大值)。3.3V 的供电用于双向管脚 (DATA15-0、TMR2-0、PF15-0、PPI3-0、RSCLK1-0、TSCLK1-0、RFS1-0、TFS1-0、MOSI、MISO、SCK) 输入管脚 ($\overline{\text{BR}}$ 、ARDY、PPI_CLK、DR0PRI、DR0SEC、DR1PRI、DR1SEC、RX、RTXI、TCK、TDI、TMS、 $\overline{\text{TRST}}$ 、CLKIN、 $\overline{\text{RESET}}$ 、NMI 和 BMODE1-0)

²参数值适用于除 CLKIN 外的所有输入和双向管脚。

³ 参数值只用于 CLKIN。

⁴ 参数值适用于所有输入和双向管脚。

电气特性

参数	描述	测试条件	最小	最大	单位
V _{OH}	高电平输出电压 ¹	@ V _{DDEXT} = 3.0V, I _{OH} = -0.5 mA	2.4		V
V _{OL}	低电平输出电压 ²	@ V _{DDEXT} = 3.0V, I _{OL} = 2.0 mA		0.4	V
I _{IH}	高电平输入电流 ²	@ V _{DDEXT} = maximum V _{IN} = V _{DD} maximum		10	μA
I _{IHP}	高电平输入电流 JTEG ³	@ V _{DDEXT} = maximum V _{IN} = V _{DD} maximum		20	μA
I _{IL}	低电平输入电流 ⁴	@ V _{DDEXT} = maximum V _{IN} = 0 V		10	μA
I _{OZH}	三态漏电流 ⁴	@ V _{DDEXT} = maximum, V _{IN} = V _{DD} maximum		10	μA
I _{OZL}	三态漏电流 ⁵	@ V _{DDEXT} = maximum, V _{IN} = 0 V		10	μA
C _{IN}	输入电容 ^{5,6}	f = 1 MHz, T _{AMBIENT} = 25°C, V _{IN} = 2.5 V		8.0	pF

¹ 适用于输出和双向管脚。

² 适用于除 JTAG 外的输入管脚。

³ 用于输入 JTAG 输入引脚 (TCK、TDI、TMS、 $\overline{\text{TRST}}$)。

⁴ 用于三态引脚。

⁵ 用于所有信号引脚。

⁶ 保证但未测试

ADSP-BF531/ADSP-BF532/ADSP-BF533

绝对最大额定值

大于表中所列的压力条件将对器件产生永久性的损坏。这些都是极限额定值。任何在大于本技术规格所指出的这些或其他任何工作条件下对器件进行的功能操作都不推荐。在最大额定值下条件下的操作将会影响器件的稳定性。

对于正确地 SDRAM 控制器操作，在 ADDR[19-1]、DATA[15-0]、 $\overline{\text{ABE}}[1-0]$ /SDQM[1-0]、CLKOUT、SCKE、SA10、 $\overline{\text{SRAS}}$ 、 $\overline{\text{SCAS}}$ 、 $\overline{\text{SWE}}$ 和 SMS 管脚上的最大负载电容为 50pF (3.3V) 或 30pF (2.5V)。

参数	额定值
内部（内核）供电电压 (V_{DDINT})	-0.3~+1.4V
外部（I/O）供电电压 (V_{DDEXT})	-0.3~+3.8V
输入电压	-0.5~3.6V
输出电压摆动	-0.5~ $V_{\text{DDEXT}}+0.5\text{V}$
负载电容	200pF
ADSP-BF533 内核时钟 (CCLK)	600MHz
ADSP-BF532/BF531 内核时钟 (CCLK)	400MHz
外设时钟	133MHz
存储温度范围	-65°C~+150°C
节点温度	125°C

ESD 灵敏度

注意

ESD（静电放电）灵敏器件。静电容易在人体或测试设备上积累高达 4000V 且放电不宜察觉。虽然 ADSP-BF531/2/3 有 ESD 保护电路，但当芯片受到高能静电放电时可能会受到永久性破坏。因此，建议采用适当的 ESD 保护措施，以防止芯片性能降低和功能损失。



ADSP-BF531/ADSP-BF532/ADSP-BF533

时序规格

表 10 到表 14 列出了 ADSP-BF531/2/3 处理器时钟的时序要求。注意当选择 MSEL、SSEL 和 CSEL 三者的比率，避免超出最大内核时钟和系统时钟，19 页中列出的最大额定值，表 13 指出了压控振荡器最大工作频率。表 13 指出了锁相环的操作条件。

表 10. 内核和系统时钟需求—ADSP-BF533SKBC600

参数		最小	最大	单位
t _{CCLK}	内核时钟周期 (V _{DDINT} =1.2V 最小)	1.67		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =1.045V 最小)	2.10		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.95V 最小)	2.35		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.85V 最小)	2.66		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.8V)	4.00		ns
t _{SCLK}	系统时钟周期	7.5 或 t _{CCLK} 的最大值		ns

表 11. 内核和系统时钟需求—ADSP-BF533SBBC500 和 ADSP-BF533SBBZ500

参数		最小	最大	单位
t _{CCLK}	内核时钟周期 (V _{DDINT} =1.2V 最小)	2.0		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =1.045V 最小)	2.25		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.95V 最小)	2.50		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.85V 最小)	3.00		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.8V)	4.00		ns
t _{SCLK}	系统时钟周期	7.5 或 t _{CCLK} 的最大值		ns

表 12. 内核和系统时钟需求—ADSP-BF532/1 所有封装

参数		最小	最大	单位
t _{CCLK}	内核时钟周期 (V _{DDINT} =1.2V 最小)	2.5		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =1.045V 最小)	2.75		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.95V 最小)	3.00		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.85V 最小)	3.25		ns
t _{CCLK}	内核时钟周期 (V _{DDINT} =0.8V)	4.0		ns
t _{SCLK}	系统时钟周期	7.5 或 t _{CCLK} 的最大值		ns

表 13. 锁相环工作条件

参数	描述	最小值	最大值	单位
f _{VCO}	压控振荡器频率	50	CCLK 最大值	MHz

表 14 SCLK 最大值条件

参数	条件	V _{DDEXT} =3.3V	V _{DDEXT} =2.5V	单位
MBGA				
f _{SCLK}	V _{DDINT} ≥ 1.14V	133	133	MHz
f _{SCLK}	V _{DDINT} < 1.14V	100	100	MHz
LQFP				
f _{SCLK}	V _{DDINT} ≥ 1.14V	133	133 ¹	MHz
f _{SCLK}	V _{DDINT} < 1.14V	83	83 ¹	MHz

¹ 设置 PLL_CTL 寄存器的第 7 位 (输出延时)

时钟和复位时序

表 15 和图 10 描述了时钟和复位操作。19 页的每一个最大额定值，CLKIN 和时钟倍频器不能选择超过 600/133MHz 内核/外设时钟。

表 15. 时钟和复位时序

参数	最小	最大	单位
<i>时序要求</i>			
t_{CKIN} CLKIN 周期	25.0	100.0	ns
t_{CKINL} CLKIN 脉冲低电平 ¹	10.0		ns
t_{CKINH} CLKIN 脉冲高电平 ¹	10.0		ns
t_{WRST} \overline{RESET} 有效低电平脉宽 ²	$11t_{CKIN}$		ns

¹用于旁路模式和非旁路模式。

²用于上电顺序已完成情况。在上电时且当复位有效，处理器内部锁相环需要不超过 2000 个 CLKIN 周期，假定稳定的电源供给和 CLKIN（不包括外部时钟振荡器的启动时间）。

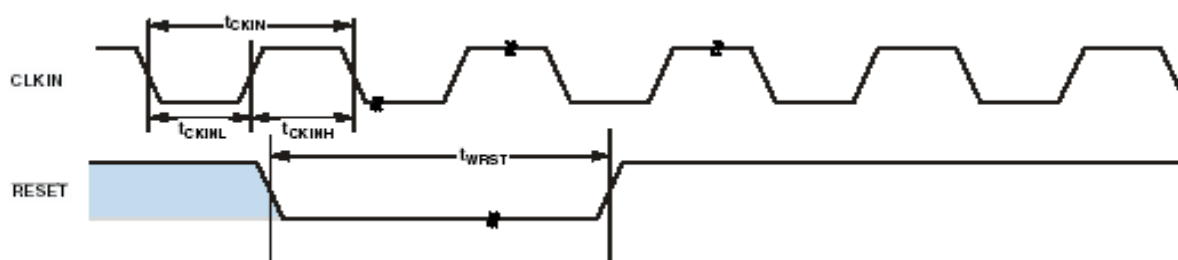


图 10. 时钟和复位时序

ADSP-BF531/ADSP-BF532/ADSP-BF533

异步存储器读周期时序

表 16. 异步存储器读周期时序

参数	最小	最大	单位
<i>时序要求</i>			
t_{SDAT}	在 CLKOUT 前 DATA15-0 建立	2.1	ns
t_{HDAT}	在 CLKOUT 后 DATA15-0 保持	0.8	ns
t_{SARDY}	在 CLKOUT 前 ARDY 建立	4.0	ns
t_{HARDY}	在 CLKOUT 后 ARDY 保持	0.0	ns
<i>开关特性</i>			
t_{DO}	在 CLKOUT 后输出延迟 ¹	6.0	ns
t_{HO}	在 CLKOUT 后输出保持 ¹	0.8	ns

¹ 输出引脚包括 AMS3-0, ABE1-0, ADDR19-1, AOE, ARE。

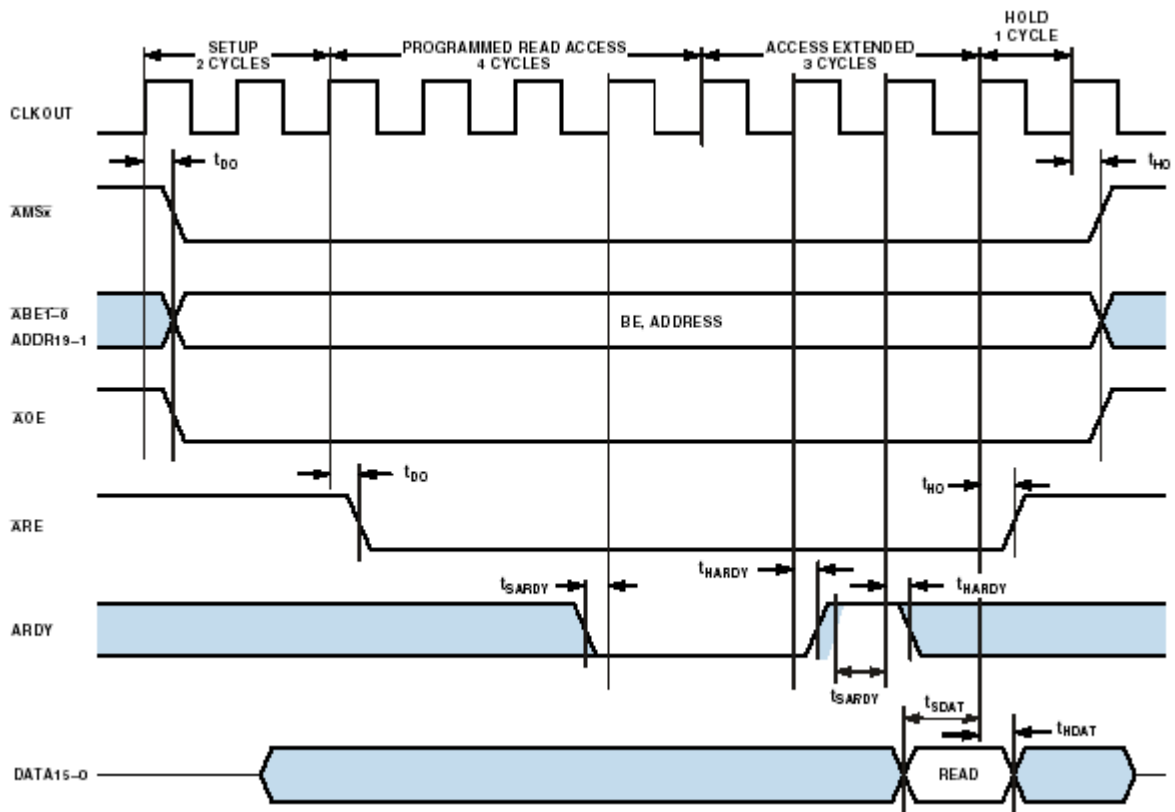


图 11. 异步存储器读周期时序

异步存储器写周期时序

表 17. 异步存储器写周期时序

参数	最小	最大	单位
<i>时序要求</i>			
t_{SARDY} CLKOUT 前 ARDY 建立	4.0		ns
t_{HARDY} CLKOUT 后 ARDY 保持	0.0		ns
<i>开关特性</i>			
t_{DDAT} CLKOUT 后 DATA15-0 禁止		6.0	ns
t_{ENDAT} CLKOUT 后 DATA15-0 使能	1.0		ns
t_{DO} CLKOUT 后输出延迟 ¹		6.0	ns
t_{HO} CLKOUT 后输出保持 ¹	0.8		ns

¹ 输出引脚包括 AMS3-0, ABE1-0, ADDR19-1, DATA15-0, AOE, AWE。

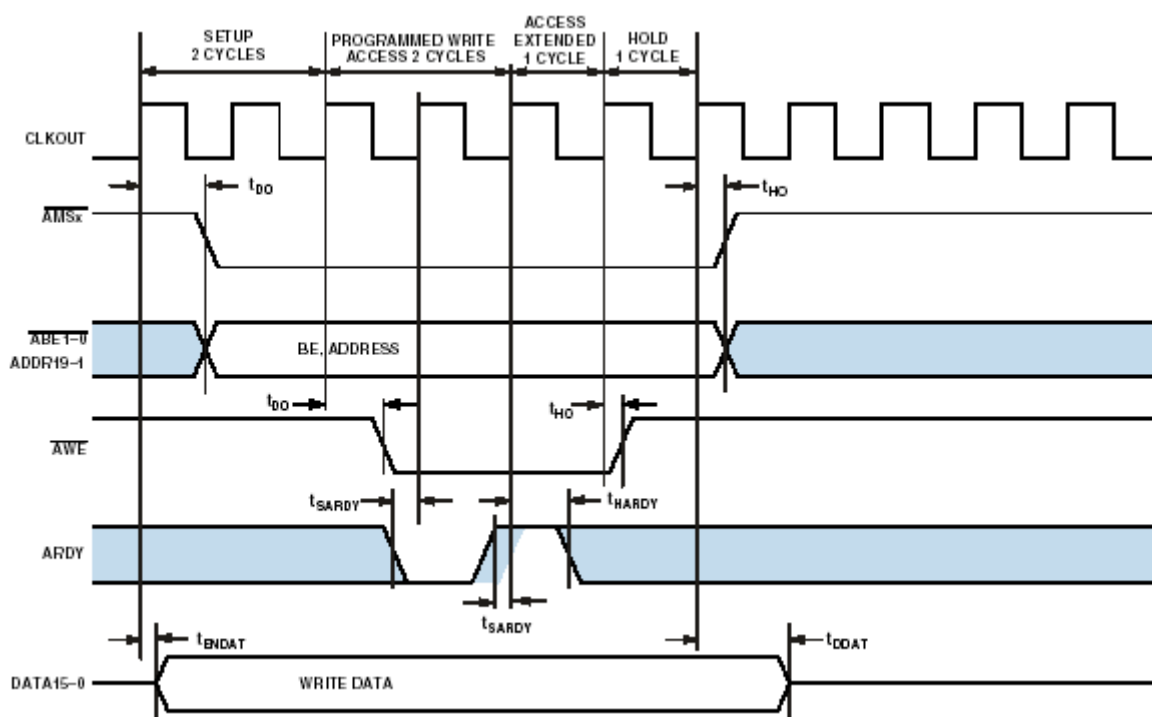


图 12. 异步存储器写周期时序

ADSP-BF531/ADSP-BF532/ADSP-BF533

SDRAM 接口时序

表 18. SDRAM 接口时序

参数		最小	最大	单位
<i>时序要求</i>				
t_{SSDAT}	CLKOUT 前 DATA 建立	2.1		ns
t_{HSDAT}	CLKOUT 后 DATA 保持	0.8		ns
<i>开关特性</i>				
t_{SCLK}	CLKOUT 周期	7.5		ns
t_{SCLKH}	CLKOUT 高电平宽度	2.5		ns
t_{SCLKL}	CLKOUT 低电平宽度	2.5		ns
t_{DCAD}	CLKOUT ² 后命令、地址和数据延迟		6.0	ns
t_{HCAD}	CLKOUT ¹ 后命令、地址和数据保持	0.8		ns
t_{DSDAT}	CLKOUT 后数据禁止		6.0	ns
t_{ENSDAT}	CLKOUT 后数据使能	1.0		ns

¹ $V_{DDINT} = 1.2V$

² 命令引脚包括: \overline{SRAS} , \overline{SCAS} , \overline{SWE} , \overline{SDQM} , \overline{SMS} , SA10, SCKE。

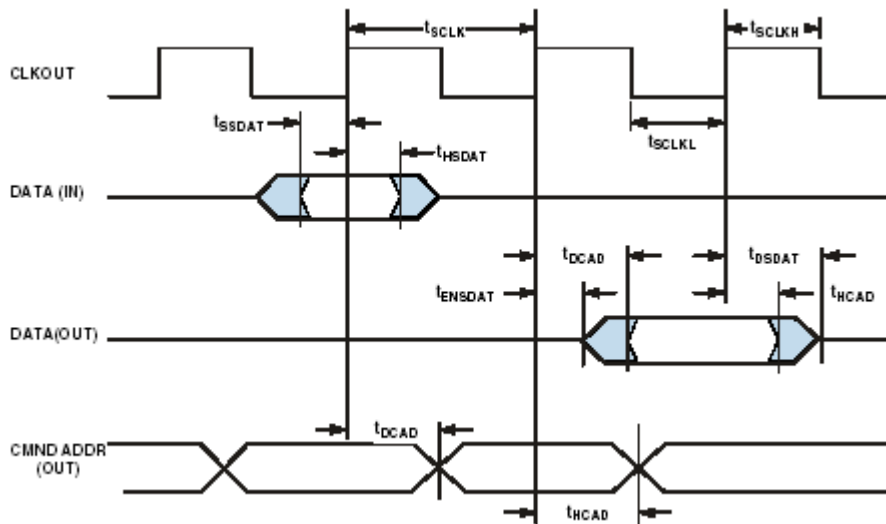


图 13. SDRAM 接口时序

外部端口总线请求和许可周期时序

表 19 和图 14 描述了外部端口总线请求和总线许可操作。

表 19. 外部端口总线请求和许可周期时序

	参数 ^{1,2}	最小	最大	单位
<i>时序要求</i>				
t_{BS}	\overline{BR} 判断使 CLKOUT 高建立	4.6		ns
t_{BH}	CLKOUT 高到 \overline{BR} 保持时间	0.0		ns
<i>开关特性</i>				
t_{SD}	CLKOUT 低到 \overline{xMS} 、地址和 $\overline{RD}/\overline{WR}$ 禁止		4.5	ns
t_{SE}	CLKOUT 低到 \overline{xMS} 、地址和 $\overline{RD}/\overline{WR}$ 使能		4.5	ns
t_{DBG}	CLKOUT 高到 \overline{BG} 有效建立		3.6	ns
t_{EBG}	CLKOUT 高到 \overline{BG} 无效保持时间		3.6	ns
t_{DBH}	CLKOUT 高到 \overline{BGH} 有效建立		3.6	ns
t_{EBH}	CLKOUT 高到 \overline{BGH} 无效保持时间		3.6	ns

¹ 这是基于最坏操作条件最坏情况的初步时序参数。

² 这些时序参数的焊盘负载是 20pF。

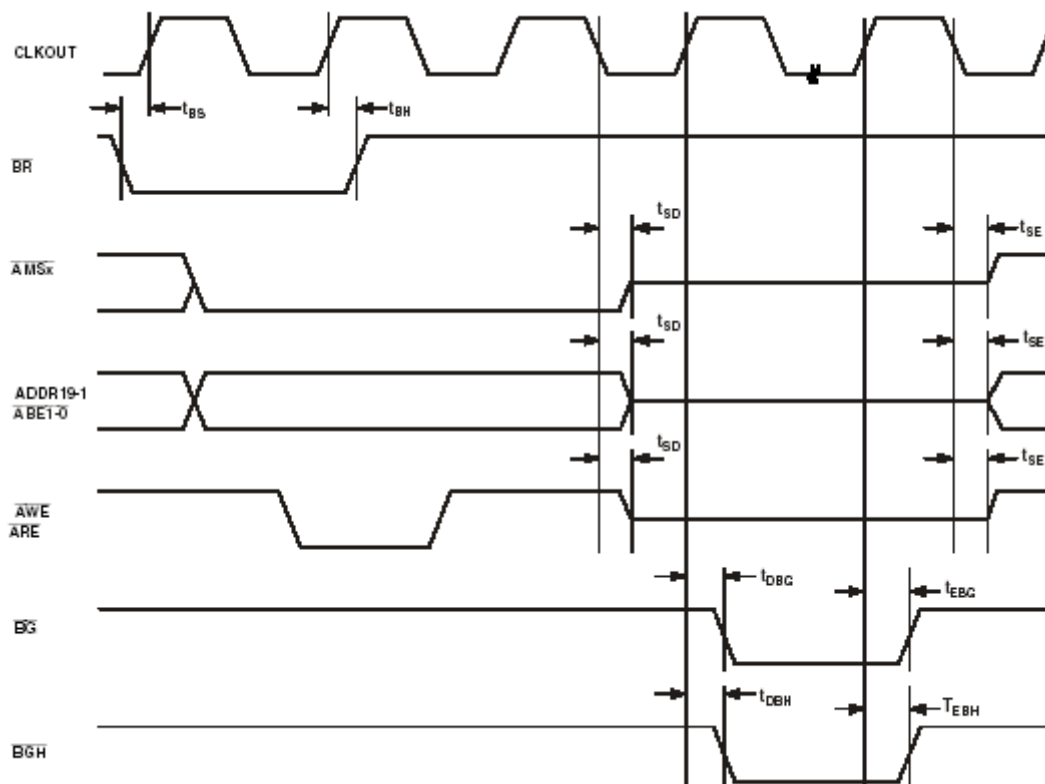


图 14. 外部端口总线请求和许可周期时序

ADSP-BF531/ADSP-BF532/ADSP-BF533

并行外设接口时序

表 20 和图 15 描述了并行外设接口操作的时序要求。

表 20. 并行外设接口时序

参数	最小	最大	单位
<i>时序要求</i>			
t_{PCLKW}	PPL_CLK 宽度	6.0	ns
t_{PCLK}	PPL_CLK 周期 ¹	15.0	ns
t_{SFSPPE}	PPI_CLK 前的外部帧同步建立时间	3.0	ns
t_{HFSPPE}	PPI_CLK 后的外部帧同步保持	3.0	ns
t_{SDRPE}	PPI_CLK 前接收数据建立 ²	2.0	ns
T_{HDRPE}	PPI_CLK 后接收数据保持 ²	4.0	ns
<i>开关特性—GP 输入和帧捕获模式</i>			
t_{DFSPPE}	PPI_CLK 后的内部帧同步延时	10.0	ns
t_{HOSFPE}	PPI_CLK 后的内部帧同步保持	0.0	ns
t_{DDTPE}	PPI_CLK 后的传送数据延迟	10.0	ns
t_{HDTPE}	PPI_CLK 后的传送数据保持	0.0	ns

¹PPI_CLK 频率不能超过 $f_{SCLK}/2$ 。

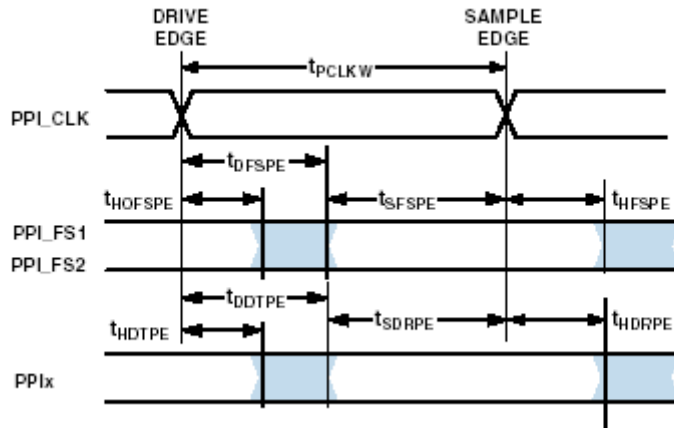


图 15. GP 输出模式和帧捕获时序

串行口

表 21 到表 24, 图 16 到 18 描述了串行口工作时序。

表 21. 串行口—外部时钟

参数	最小	最大	单位
<i>时序要求</i>			
t _{SFSE}	TSCLK/RSCLK 前 TFS/RFS 建立 ¹	3.0	ns
t _{HFSE}	TSCLK/RSCLK 后 TFS/RFS 保持 ¹	3.0	ns
t _{SDRE}	RSCLK 前接收数据建立 ¹	3.0	ns
t _{HDRE}	RSCLK 后接收数据保持 ¹	3.0	ns
t _{SCLK_{EW}}	TSCLK/RSCLK 宽度	4.5	ns
t _{SCLKE}	TSCLK/RSCLK 周期	15.0	ns
<i>开关特性</i>			
t _{DFSE}	TSCLK/RSCLK 后 TFS/RFS 延迟 (内部产生的 TFS/RFS) ²	10.0	ns
t _{HOFSE}	TSCLK/RSCLK 后 TFS/RFS 保持 (内部产生的 TFS/RFS) ¹	0.0	ns
t _{DDTE}	TSCLK 后发送数据延迟 ¹	10.0	ns
t _{HDTE}	TSCLK 后发送数据保持 ¹	0.0	ns

¹以采样边沿为参考。

²以驱动边沿为参考。

表 22. 串行口—内部时钟

参数	最小	最大	单位
<i>时序要求</i>			
t _{SFSI}	TSCLK/RCLK 前 TFS/RFS 建立 ¹	8.0	ns
t _{HFSI}	TSCLK/RCLK 后 TFS/RFS 保持 ¹	-2.0	ns
t _{SDRI}	RSCLK 前接受数据建立 ¹	6.0	ns
t _{HDRI}	RSCLK 后接受数据保持 ¹	0.0	ns
t _{SCLK_{EW}}	TSCLK/RSCLK 宽度	4.5	ns
t _{SCLKE}	TSCLK/RSCLK 周期	15.0	ns
<i>开关特性</i>			
t _{DFS1}	TSCLK/RSCLK 后 TFS/RFS 延迟 (内部产生的 TFS/RFS) ²	3.0	ns
t _{HDFS1}	TSCLK/RSCLK 后 TFS/RFS 保持 (内部产生的 TFS/RFS) ¹	-1.0	ns
t _{DDT1}	TSCLK 后发送数据延迟 ¹	3.0	ns
t _{HDT1}	TSCLK 后发送数据保持 ¹	-2.0	ns
t _{SCLK_{IW}}	TSCLK/RSCLK 宽度	4.5	ns

¹以采样边沿为参考。

²以驱动边沿为参考。

表 23. 串行口—使能和三态

参数	最小	最大	单位
<i>开关特性</i>			
t _{DTENE}	外部 TSCLK 的数据使能延迟 ¹	0.0	ns
t _{DDTTE}	外部 TSCLK 的数据禁止延迟 ¹	10.0	ns
t _{DTENI}	内部 TSCLK 的数据使能延迟	-2.0	ns
t _{DDTTI}	内部 TSCLK 的数据禁止延迟 ¹	3.0	ns

¹以驱动边沿为参考。

ADSP-BF531/ADSP-BF532/ADSP-BF533

表 24. 外部迟后帧同步

参数	最小	最大	单位
开关特性			
$t_{DDTLFSE}$ 数据延迟从迟后的外部 TFS 或外部 RFS 且 MCE=1, MFD=0 ^{1,2}		10.0	ns
$t_{DTENLPSE}$ 数据使能从迟后的 FS 或 MCE=1, MFD=0 ^{1,2}	0		ns

¹ MCE=1, TFS 使能和 TFS 有效, 跟随 $t_{DDTENFS}$ 和 $t_{DDTLFSE}$ 。

² 如果外部 RFS/TFS 建立到 $RSCLK/TSCLK > t_{SCLK} / 2$, 那么适用 $t_{DDTLFSCK}$ 和 $t_{DTENLFSCK}$, 否则适用 $t_{DDTLFSE}$ 和 $t_{DTENLPS}$ 。

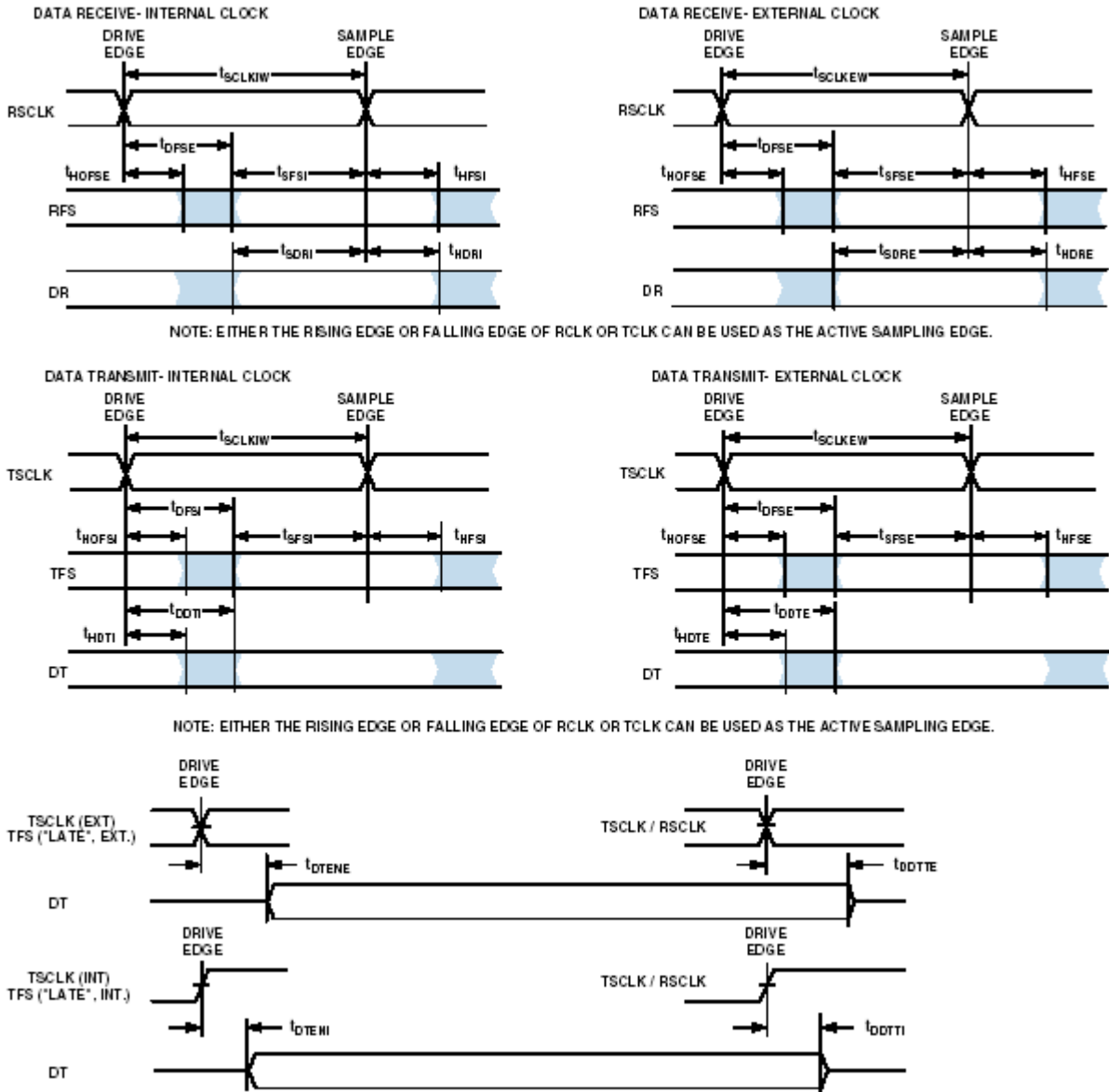
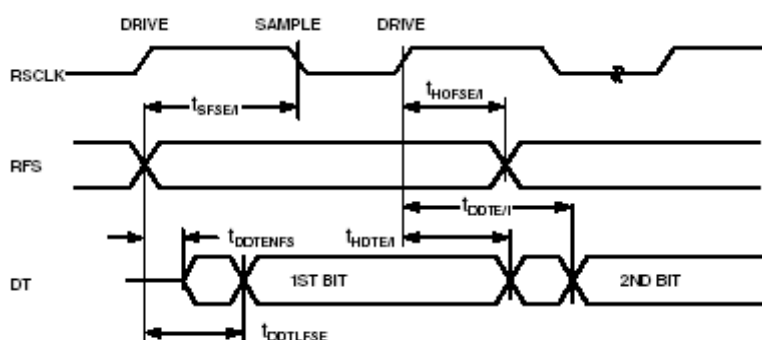


图 16. 串行口

ADSP-BF531/ADSP-BF532/ADSP-BF533

EXTERNAL RFS WITH MCE = 1, MFD = 0



LATE EXTERNAL TFS

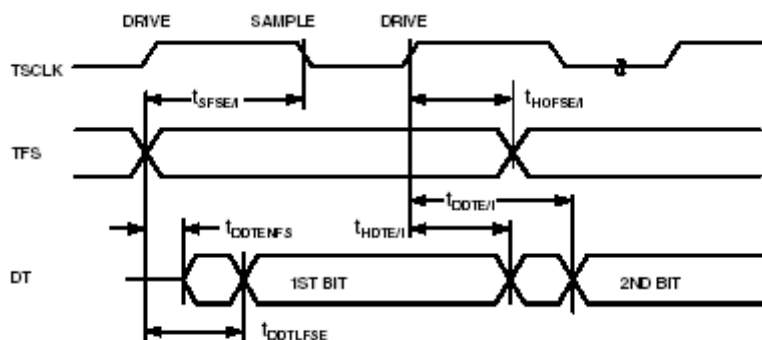
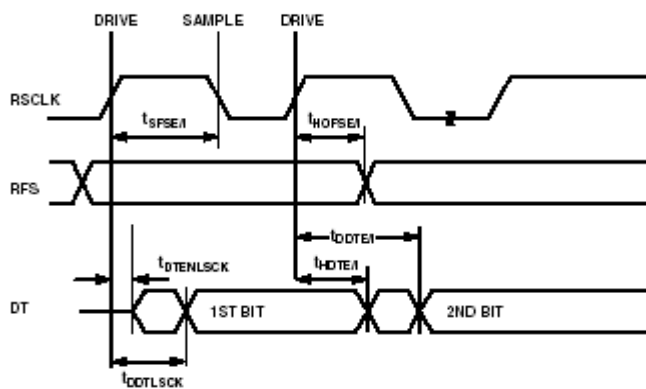


图 17. 外部迟后的帧同步 (帧同步建立 $< t_{sclk}/2$)

EXTERNAL RFS WITH MCE = 1, MFD = 0



LATE EXTERNAL TFS

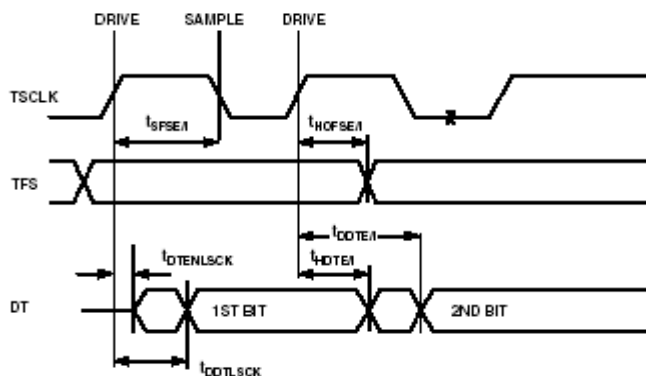


图 18. 外部迟后的帧同步 (帧同步建立 $> t_{sclk}/2$)

ADSP-BF531/ADSP-BF532/ADSP-BF533

串行外设接口 (SPI) —主时序

表 25 和图 19 描述 SPI 端口主操作时序。

表 25. 串行外设接口 (SPI) —主时序

参数		最小	最大	单位
<i>时序要求</i>				
t_{SSPIDM}	数据输入有效到 SCK 边沿 (数据输入建立)	7.5		ns
t_{HSPIDM}	SCK 采样边沿到数据输入无效	-1.5		ns
<i>开关特性</i>				
t_{SDSCIM}	$\overline{SPISELx}$ 低到第一个 SCK 边沿 (x=0 或 1)	$2t_{SCK} - 1.5$		ns
t_{SPICHM}	串行时钟高电平时间	$2t_{SCK} - 1.5$		ns
t_{SPICLM}	串行时钟低电平时间	$2t_{SCK} - 1.5$		ns
t_{SPICLK}	串行时钟周期	$4t_{SCK} - 1.5$		ns
t_{HDSM}	最后 SCK 边沿到 $\overline{SPISELx}$ 高 (x=0 或 1)	$2t_{SCK} - 1.5$		ns
t_{SPITDM}	序列传输延迟	$2t_{SCK} - 1.5$		ns
$t_{DDSPIDM}$	SCK 边沿到数据输出有效 (数据输出延迟)	0	6	ns
$t_{HDSPIDM}$	SCK 边沿到数据输出无效 (数据输出保持)	-1.0	4.0	ns

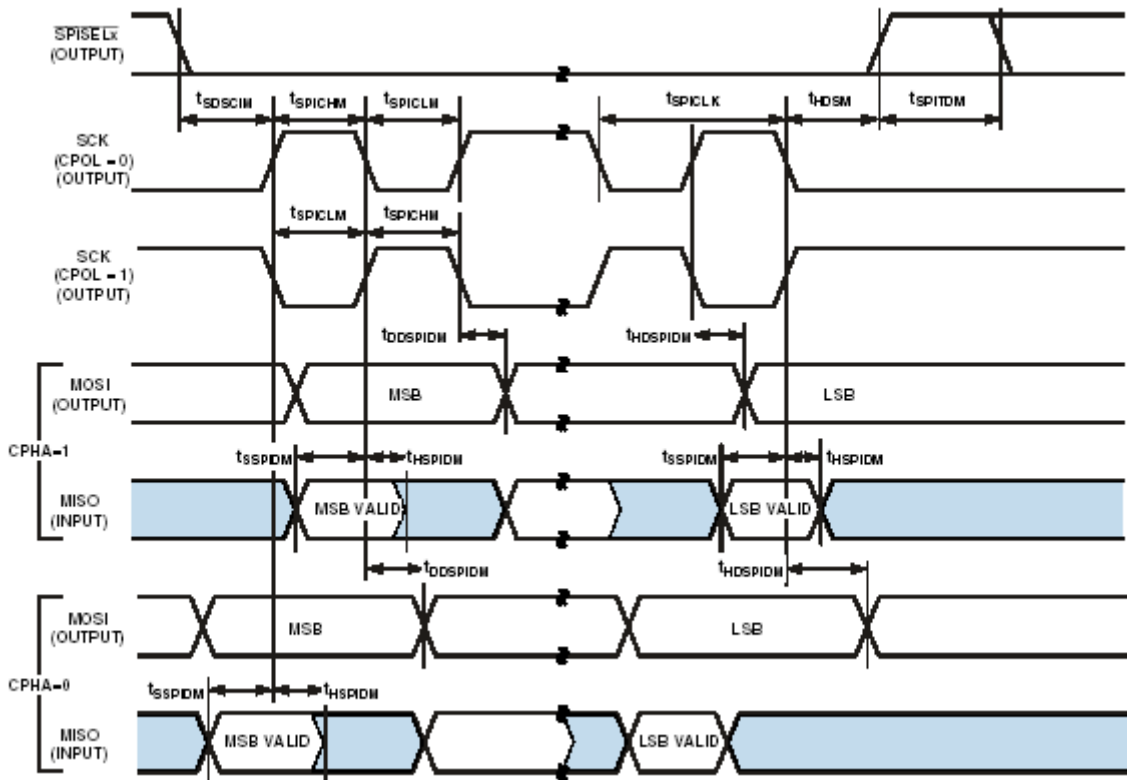


图 19. 串行外设接口 (SPI) —主时序

串行外设接口 (SPI) — 从时序

表 26 和图 20 描述了 SPI 端口从操作。

表 26. 串行外设接口 (SPI) — 从时序

参数	最小	最大	单位
<i>时序要求</i>			
t_{SPICHS}	串行时钟高电平时间	$2t_{SCK} - 1.5$	ns
t_{SPICLS}	串行时钟低电平时间	$2t_{SCK} - 1.5$	ns
t_{SPICLK}	串行时钟周期	$4t_{SCK} - 1.5$	ns
t_{HDS}	最后一个 SCK 边沿到 \overline{SPISS} 无效	$2t_{SCK} - 1.5$	ns
t_{SPITDS}	序列传输延迟	$2t_{SCK} - 1.5$	ns
t_{SDSCI}	\overline{SPISS} 有效到第一个 SCK 边沿	$2t_{SCK} - 1.5$	ns
t_{SSPID}	数据输入有效到 SCK 边沿 (数据输入建立)	1.6	ns
t_{HSPID}	SCK 采样边沿到数据输入无效	1.6	ns
<i>开关特性</i>			
t_{DSOE}	\overline{SPISS} 有效到数据输出启动	0	8
t_{DSDHI}	\overline{SPISS} 无效到数据高阻抗	0	8
t_{DDSPID}	SCK 边沿到数据输出有效 (数据输出延时)	0	10
t_{HDSPID}	SCK 边沿到数据输出无效 (数据输出保持)	0	10

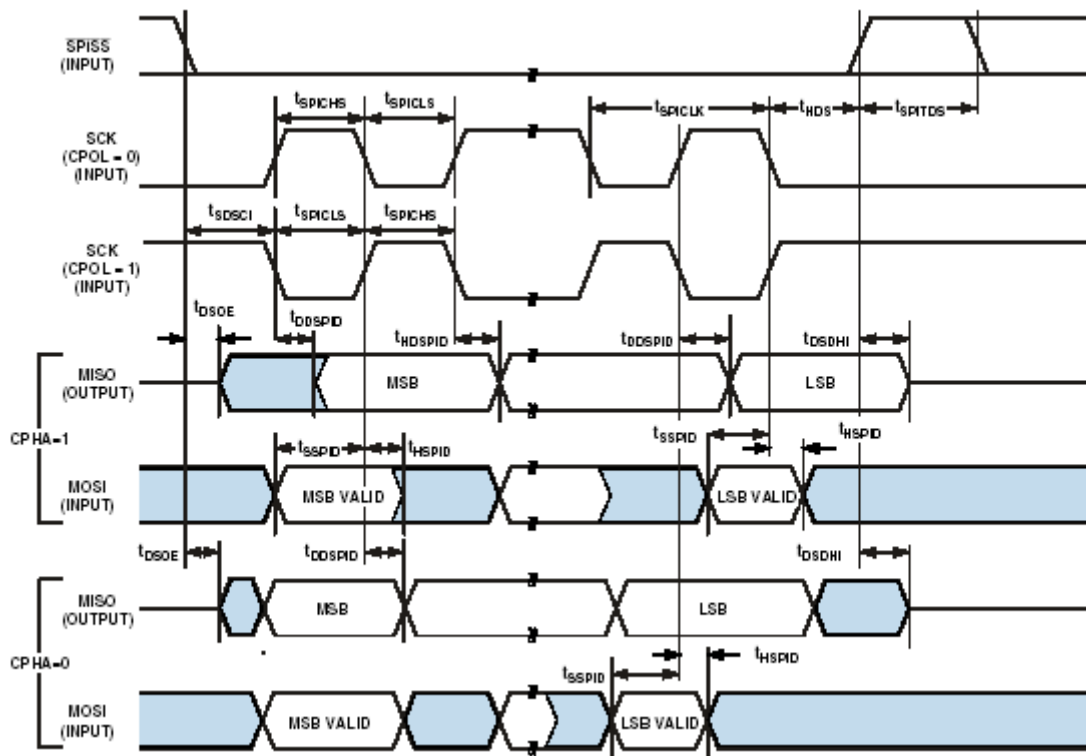


图 20. 串行外设接口 (SPI) — 从时序

ADSP-BF531/ADSP-BF532/ADSP-BF533

通用异步收发器 (UART) 端口—接收和发送时序

图 21 描述了 UART 端口接收和发送操作，最大波特率是 SCLK/16。如图 21 所示，在产生内部 UART 中断和外部数据操作之间有一些延迟。这些延迟同 UART 数据传输率相比可以忽略。

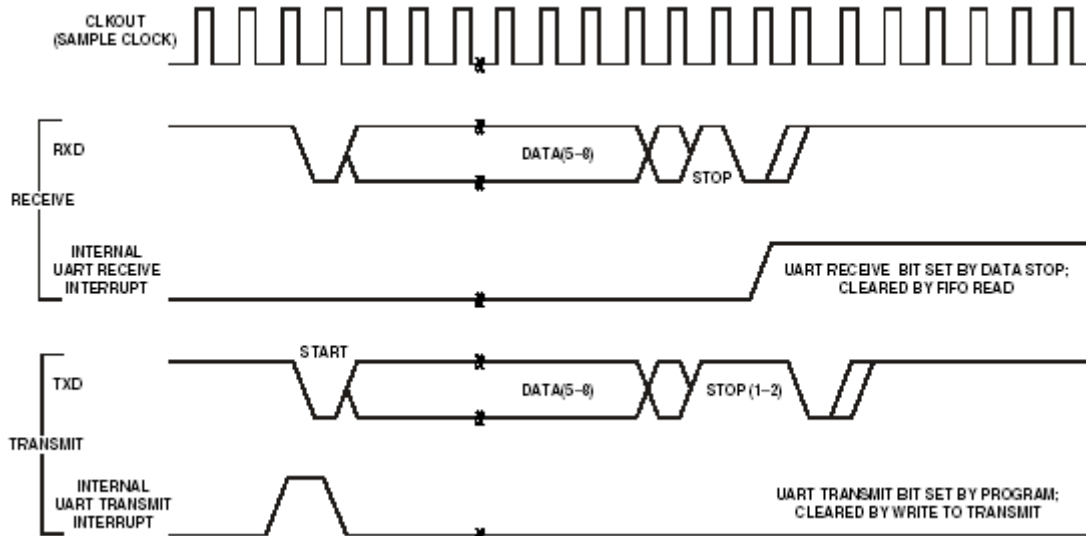


图 21. UART 端口—接收和发送时序

可编程标志周期时序

表 27 和图 22 描述了可编程标志的操作。

表 27. 可编程标志周期时序

参数		最小	最大	单位
定时要求				
t_{WFI}	标志输入脉冲宽度	$t_{SCLK}+1$		ns
开关特性				
T_{DFO}	标志输出相对于 CLKOUT 低的延时		6	ns

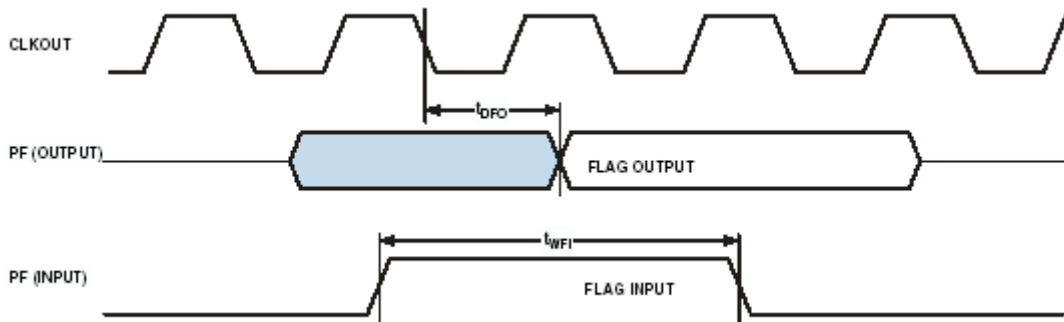


图 22. 可编程标志周期时序

定时器周期时序

表 28 和图 23 描述了定时器计数满时的操作。在“宽度捕获模式”和“外部时钟模式”中输入信号是异步的，并且绝对最大输入频率为 $f_{SCLK}/2MHz$ 。

表 28. 定时器周期时序

参数		最小	最大	单位
<i>定时特性</i>				
t_{WL}	定时器脉冲宽度输入低 ¹ （用 SCLK 周期测量）	1		SCLK 周期
t_{WH}	定时器脉冲宽度输入高 ¹ （用 SCLK 周期测量）	1		SCLK 周期
<i>开关特性</i>				
t_{HTO}	定时器脉冲宽度输出 ² （用 SCLK 周期测量）	1	$(2^{32}-1)$	SCLK 周期

¹在宽度捕获和外部时钟模式中，最小脉冲宽度用于 TMRx 输入引脚。在 PWM 模式中，最小脉冲宽度也应用于 PF1 或 PPI_CLK 输入引脚。

² t_{HTO} 的最小时间是一个周期， t_{HTO} 的最大时间等于 $(2^{32}-1)$ 个周期。

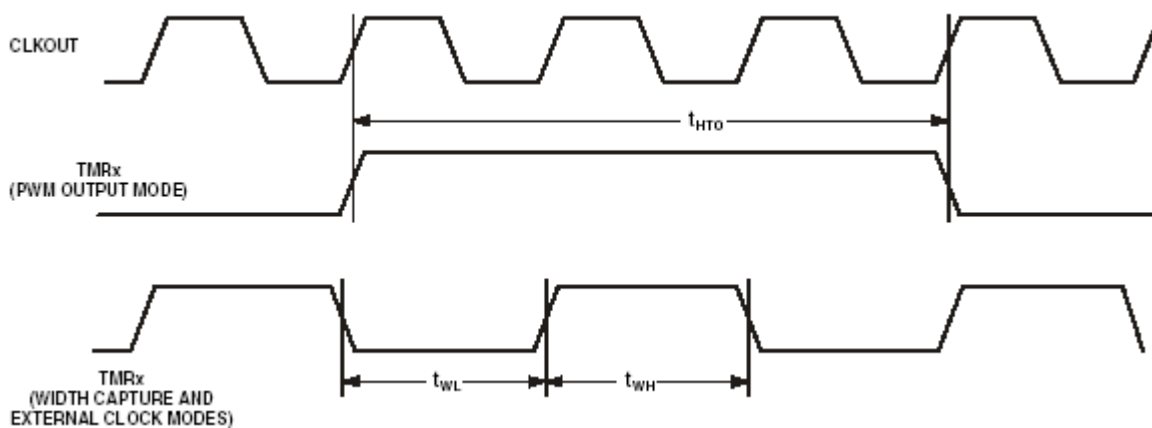


图 23. 定时器 PWM_OUT 周期时序

ADSP-BF531/ADSP-BF532/ADSP-BF533

JTAG 测试和仿真端口时序

表 29 和图 24 描述 JTAG 端口的操作。

表 29. JTAG 端口时序

参数		最小	最大	单位
<i>时序参数</i>				
t_{TCK}	TCK 周期	20		Ns
t_{STAP}	TCK 高电平前 TDI 和 TMS 建立	4		Ns
t_{HTAP}	TCK 高电平后 TDI 和 TMS 保持	4		Ns
t_{SSYS}	TCK 低电平前系统输入建立 ¹	4		Ns
t_{HSYS}	TCK 低电平后系统输入保持 ¹	5		Ns
t_{TRSTW}	\overline{TRST} 脉冲宽度 ² (用 TCK 周期测量)	4		TCK
<i>开关特性</i>				
t_{DTDO}	TCK 低电平的 TDO 延迟		10	Ns
t_{DSYS}	TCK 低电平后系统输出延迟 ³	0	12	Ns

¹系统输入=DATA15-0, ADDR19-1, ARDY, TMR2-0, PF15-0, PPICLK, RSCLK0-1, RFS0-1, DR0PRI, DR0SEC, TSCLK0-1, TFS0-1, DR1PRI, DR1SEC, MOSI, MISO, SCK, RX, \overline{RESET} , NMI, BMODE1-0, \overline{BR} , PPI3-0.

²50 MHz 最大值。

³系统输出=DATA15-0, ADDR19-1, \overline{ABE} 1-0, \overline{AOE} , \overline{ARE} , \overline{AWE} , $\overline{AMS3}$ -0, \overline{SRAS} , \overline{SCAS} , \overline{SWE} , SCKE, CLKOUT, SA10, \overline{SMS} , TMR2-0, PF15-0, RSCLK0-1, RFS0-1, TSCLK0-1, TFS0-1, DT0PRI, TD0SEC, TD1PRI, TD1SEC, MOSI, MISO, SCK, TX, \overline{BG} , \overline{BGH} , PPI3-0.

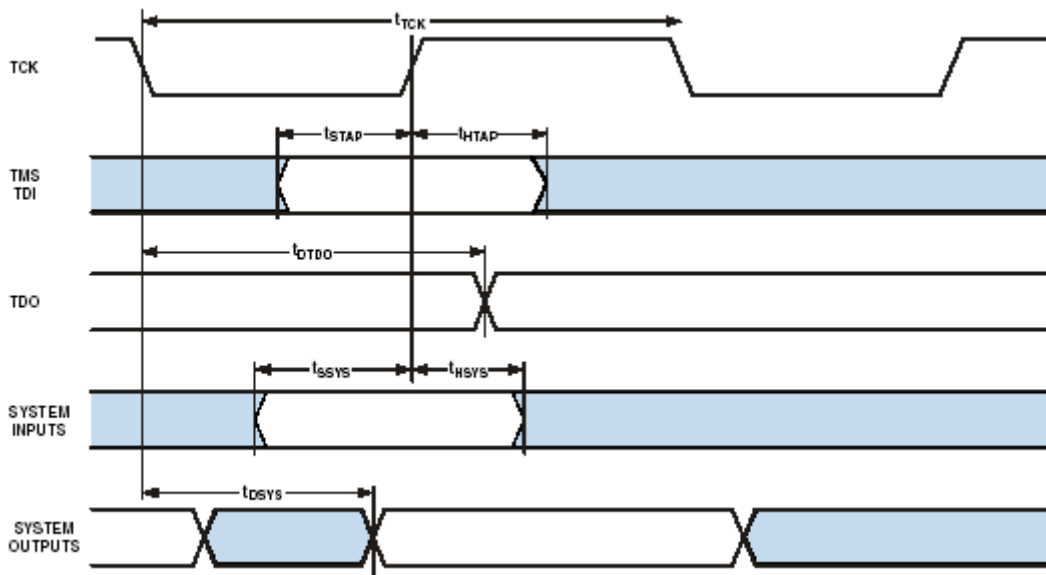


图 24. JTAG 端口时序

输出驱动电流

图 25 到 32 显示了 ADSP-BF531/2/3 处理器输出驱动电流电压的典型特性。曲线代表了电压输出时的电流驱动能力。

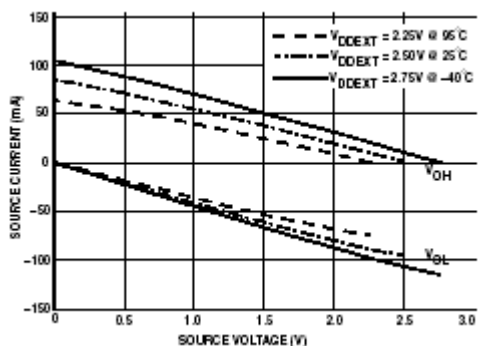


图 25. 驱动电流 A (V_{DDEXT} 低电平)

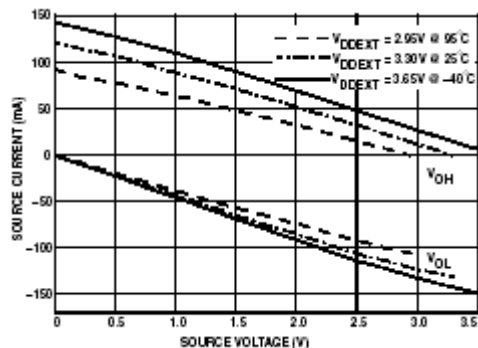


图 26. 驱动电流 A (V_{DDEXT} 高电平)

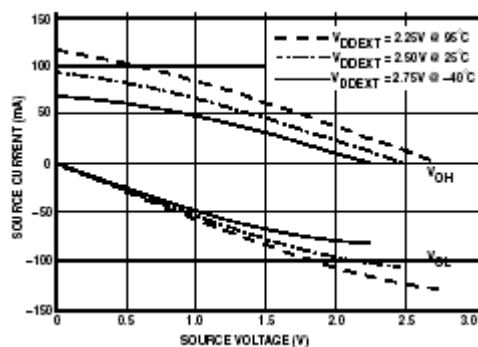


图 27. 驱动电流 B (V_{DDEXT} 低电平)

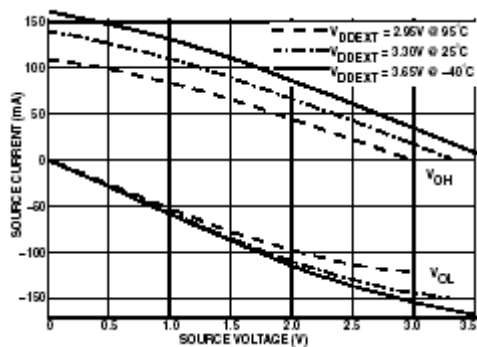


图 28. 驱动电流 B (V_{DDEXT} 高电平)

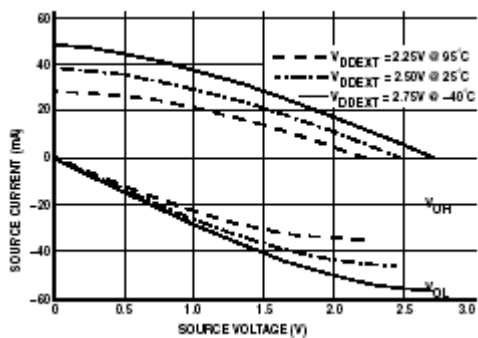


图 29. 驱动电流 C (V_{DDEXT} 低电平)

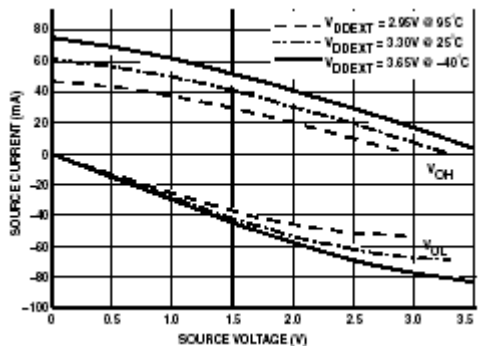


图 30. 驱动电流 C (V_{DDEXT} 高电平)

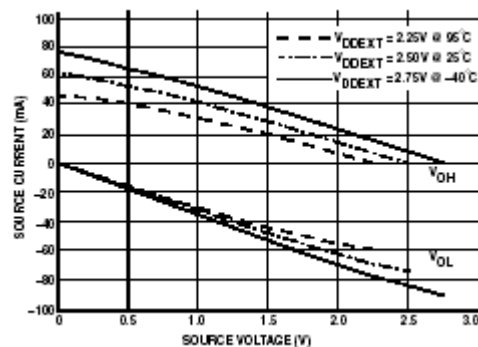


图 31. 驱动电流 C (V_{DDEXT} 低电平)

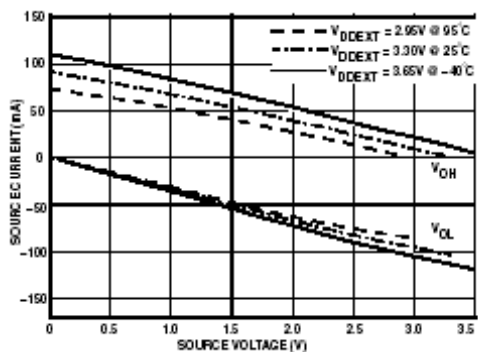


图 32. 驱动电流 D (V_{DDEXT} 高电平)

ADSP-BF531/ADSP-BF532/ADSP-BF533

功耗

总的功耗包括两部分：一方面是内部电路(P_{INT})；另一方面是外部驱动器(P_{EXT})的开关。表 30 显示了内部电路(V_{DDINT})的功率耗散。内部功耗取决于指令执行序列和相应的数据操作。

表 30 内部功率耗散¹

参数	测试条件 ²				单位
	$f_{CCLK}=50\text{MHz}$ $V_{DDINT}=0.8\text{V}$	$f_{CCLK}=400\text{MHz}$ $V_{DDINT}=1.2\text{V}$	$f_{CCLK}=500\text{MHz}$ $V_{DDINT}=1.2\text{V}$	$f_{CCLK}=600\text{MHz}$ $V_{DDINT}=1.2\text{V}$	
I_{DDTYP} ³	26	150	190	220	mA
$I_{DDSLEEP}$ ⁴	16	35	37	37	mA
$I_{DDDEEPSLEEP}$ ⁴	14	29	31	31	mA
$I_{DDHIBERNATE}$ ⁵	50				μA
I_{DDRTC} ⁶	30				μA

¹ 见 EE-229: ADSP-BF533 处理器功率估计。

² I_{DD} 数据表明典型的处理参数。所有数据在 25°C 下。

³ 数据总线工作正常情况下，处理器 75% 执行双乘操作，25% 执行加法操作。

⁴ 睡眠和深度睡眠模式定义参考 ADSP-BF533 硬件参考手册。

⁵ 在调压器关闭， $V_{DDEXT}=3.6\text{V}$ 条件下测量。

⁶ 在 25°C， $V_{DDRTC}=3.3\text{V}$ 条件下测量。

外部总功耗由输出管脚的切换产生，其值大小取决于：

- 1、输出管脚数 (O) 和每周期的切换数。
- 2、管脚切换的最大频率 (f)。
- 3、管脚的负载电容 (C)。
- 4、管脚的电压摆动 (V_{DDEXT})。

外部功率耗散计算：

$$P_{EXT} = O \times C \times V_{DD}^2 \times f$$

频率 f 指驱动负载高然后返回低的频率。例如：DATA[15-0]管脚在 SDRAM 突发传输模式下驱动高电平和低电平的最大速率是 $1/(2 \times t_{SCLK})$ 。增加了一个典型的内部功率损耗后，典型的总功率损耗可以计算如下：

$$P_{TOTAL} = P_{EXT} + (I_{DD} \times V_{DDINT})$$

注意，产生最坏情况的 P_{EXT} 条件不同于产生最坏情况的 P_{INT} 条件。当全部输出管脚从 1 切换到 0 时最大的 P_{INT} 不能发生。同时要注意，在一个应用中有 100%，甚至 50% 的输出管脚同时切换的情况并不常见。

测试条件

本文中出现的所有时序参数都是在本节所指出的测试条件下测试得到的。

输出使能时间

当输出管脚从高阻状态转变为开始驱动点时，它们被认为使能。输出使能时间 (t_{ENA}) 就是参考信号到达高电平或低电平点，而输出开始驱动的时间间隔，如图 33 所示。时间 $t_{ENA_MEASURED}$ 是参考信号开始切换到输出电压达到 2.0V（输出高电平）或 1.0V（输出低电压）的时间间隔。时间 t_{TRIP} 是输出开始驱动到输出到达 1.0V 或是 2.0V 电压的时间间隔。时间 t_{ENA} 的计算如下式：

$$t_{ENA} = t_{ENA_MEASURED} - t_{TRIP}$$

如果多个管脚（例如数据总线）同时使能，则测量值是第一个管脚开始驱动的值。

输出禁止时间

当输出管脚停止驱动，进入到高阻状态并从他们原来的高电平或低电平衰落时，输出管脚被认为是禁止了。总线上的电压衰落 ΔV 所用的时间取决于容性负载 C_L 和负载电流 I_L ，这个衰落时间可用下式近似计算：

$$t_{DECAY} = (C_L \Delta V) / I_L$$

输出禁止时间 t_{DIS} 是 $t_{DIS_MEASURED}$ 和 t_{DECAY} 之差，如图 33 所示。时间 $t_{DIS_MEASURED}$ 是参考信号开始切换到输出电压衰落 ΔV 的时间间隔。时间 t_{DECAY} 是用测试负载 C_L 和 I_L ， ΔV 等于 0.5V。

例子系统保持时间计算

为了在一个特别的系统中决定数据输出的保持时间，首先要用上面给出的公式计算 t_{DECAY} 。用 ADSP-BF531/2/3 处理器输出电压和要求该保持时间的设备的门限电压之差来选择 ΔV 。典型的 ΔV 是 0.4V。 C_L 是总的总线电容（每条数据线）， I_L 是总的三态漏电流（每条数据线）。保持时间等于 t_{DECAY} 加上最小禁止时间（例如，对 SDRAM 写周期为 t_{DSDAT} ）。

容性负载

输出延时和保持基于标准容性负载：所有管脚均为 30pF（见图 34），图 36 到图 43 表明了输出上升时间与电容的关系。给出的延时和保持要依照这些图给出的因子来衰减。这些图中的图形在图示范围之外可能是非线性的。

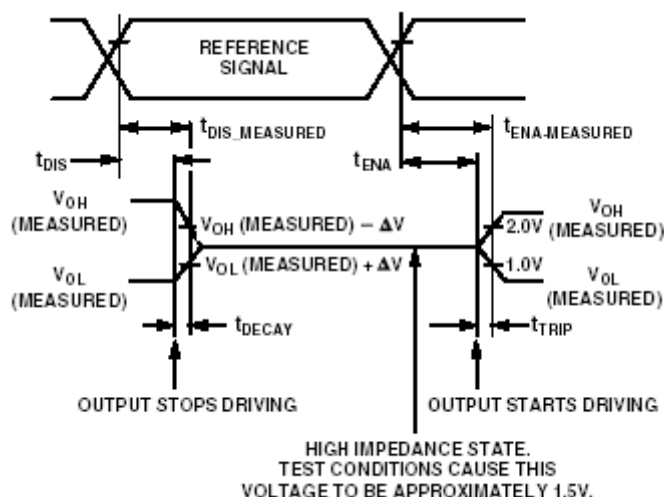


图 33. 输出使能/禁止

ADSP-BF531/ADSP-BF532/ADSP-BF533

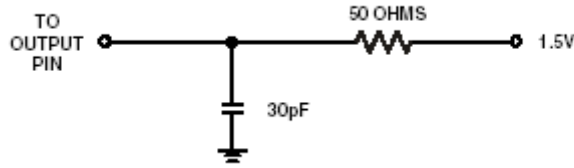


图 34. 交流测量时的等效负载（包括所有设备）

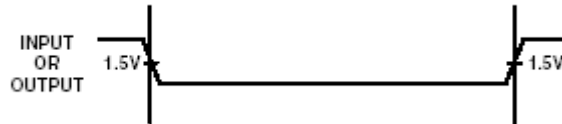


图 35. 交流测量时的电压参考电平（除了输出使能/禁止）

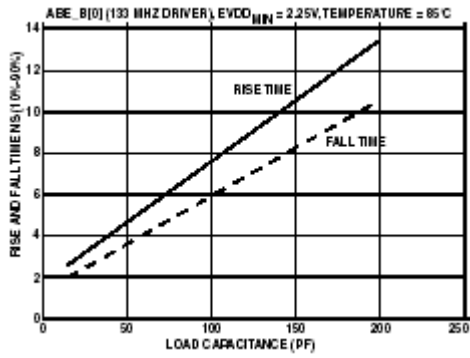


图 36. 在 $EVDD_{MIN}$ 时驱动 A 的典型延时或保持

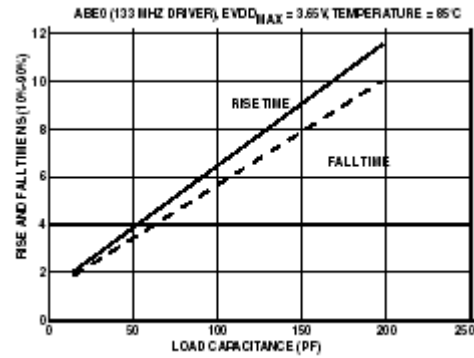


图 37. 在 $EVDD_{MAX}$ 时驱动 A 的典型延时或保持

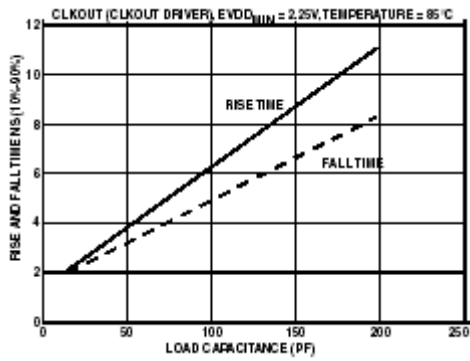


图 38. 在 $EVDD_{MIN}$ 时驱动 B 的典型延时或保持

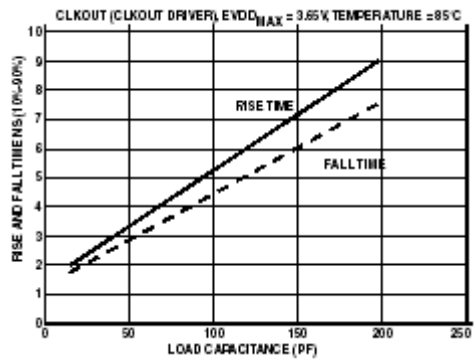


图 39. 在 $EVDD_{MAX}$ 时驱动 B 的典型延时或保持

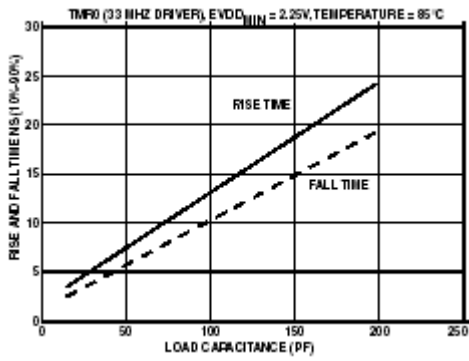


图 40. 在 $EVDD_{MIN}$ 时驱动 C 的典型延时或保持

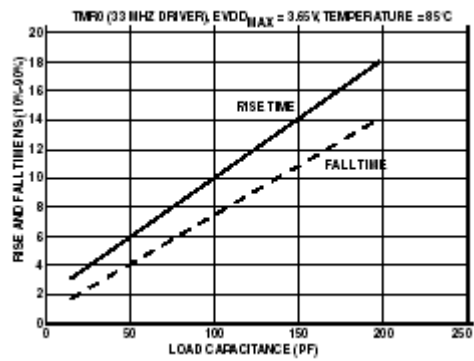


图 41. 在 $EVDD_{MAX}$ 时驱动 C 的典型延时或保持

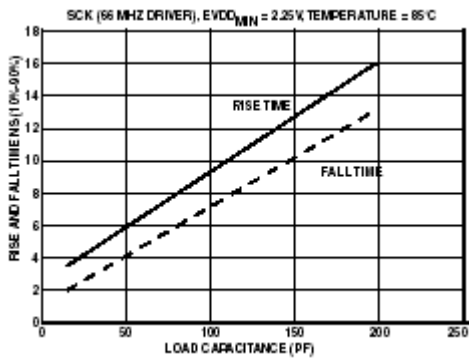


图 42. 在 $EVDD_{MIN}$ 时驱动 D 的典型延时或保持

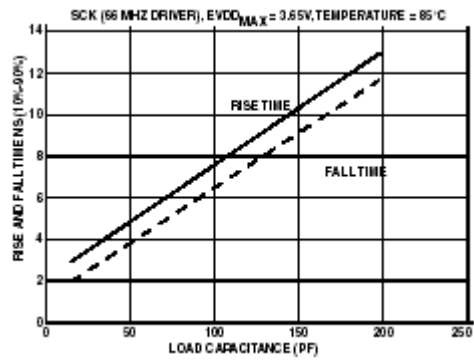


图 43. 在 $EVDD_{MAX}$ 时驱动 D 的典型延时或保持

ADSP-BF531/ADSP-BF532/ADSP-BF533

环境条件

使用下式来计算印刷电路板上的节点温度：

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

其中： T_J = 节点温度 (°C)

T_{CASE} = 用户测量的封装表面中心温度

Ψ_{JT} = 见表 31

P_D = 功率耗散 (P_D 的计算见 36 页功率耗散)

θ_{JA} 的值由封装比较和印刷电路板设计时考虑。 θ_{JA} 可以用于对 T_J 作一级的近似，公式如下：

$$T_J = T_A + (\theta_{JA} \times P_D)$$

其中： T_A = 环境温度 (°C)

在表 31 中，airflow 测量方法适用于 JEDEC 标准：JESD51-2 和 JESD51-6；junction-to-board 测量方法适用于 JESD51-8。junction-to-case 测量方法适用于 MIL-STD-883（方法 1012.1）。所有的测量方法使用 2S2P JEDEC 测试板。

表 31 中的热阻 θ_{JA} 是与封装的性能以及板子在对流条件下的特点相关的。 θ_{JMA} 代表了在两种 airflow 条件下的热阻。 θ_{JB} 代表了从板子的外围设备释放的热量。 Ψ_{JT} 表示 T_J 和 T_{CASE} 的相关性。 θ_{JB} 的值在封装比较和印刷电路板设计时给出。

表 31. BC-160 封装的热特性

参数	条件	典型值	单位
θ_{JA}	0 线性 m/s Airflow	34.1	°C/W
θ_{JMA}	1 线性 m/s Airflow	30.1	°C/W
θ_{JMA}	2 线性 m/s Airflow	28.8	°C/W
θ_{JB}	未用	25.55	°C/W
θ_{JC}	未用	8.75	°C/W
Ψ_{JT}	0 线性 m/s Airflow	0.13	°C/W

表 32. ST-176-1 封装的热特性

参数	条件	典型值	单位
θ_{JA}	0 线性 m/s Airflow	34.9	°C/W
θ_{JMA}	1 线性 m/s Airflow	33.0	°C/W
θ_{JMA}	2 线性 m/s Airflow	32.0	°C/W
θ_{JT}	0 线性 m/s Airflow	0.50	°C/W
θ_{JT}	1 线性 m/s Airflow	0.75	°C/W
θ_{JT}	2 线性 m/s Airflow	1.00	°C/W

表 33. B-169 封装的热特性

参数	条件	典型值	单位
θ_{JA}	0 线性 m/s Airflow	28.6	°C/W
θ_{JMA}	1 线性 m/s Airflow	24.6	°C/W
θ_{JMA}	2 线性 m/s Airflow	23.8	°C/W
θ_{JT}	未使用	21.75	°C/W
θ_{JT}	未使用	12.7	°C/W
θ_{JT}	0 线性 m/s Airflow	0.78	°C/W

ADSP-BF531/ADSP-BF532/ADSP-BF533

160-LEAD BGA 引脚

表 34 按信号名称列出了 BGA 的引脚，表 35 给出了按引脚号排列的 BGA 引脚。

表 34. 160 引脚 BGA 排列表（按字母顺序排列）

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
$\overline{\text{ABE0}}$	H13	DATA12	M5	GND	L6	SCK	D1
$\overline{\text{ABET}}$	H12	DATA13	N5	GND	L8	SCKE	B13
ADDR1	J14	DATA14	P5	GND	L10	$\overline{\text{SMS}}$	C13
ADDR10	M13	DATA15	P4	GND	M4	$\overline{\text{SRAS}}$	D13
ADDR11	M14	DATA2	P9	GND	M10	$\overline{\text{SWE}}$	D12
ADDR12	N14	DATA3	M8	GND	P14	TCK	P2
ADDR13	N13	DATA4	N8	MISO	E2	TDI	M3
ADDR14	N12	DATA5	P8	MOSI	D3	TDO	N3
ADDR15	M11	DATA6	M7	NMI	B10	TFS0	H3
ADDR16	N11	DATA7	N7	PF0	D2	TFS1	E1
ADDR17	P13	DATA8	P7	PF1	C1	TMRO	L2
ADDR18	P12	DATA9	M6	PF10	A4	TMR1	M1
ADDR19	P11	DR0PRI	K1	PF11	A5	TMR2	K2
ADDR2	K14	DR0SEC	J2	PF12	B5	TMS	N2
ADDR3	L14	DR1PRI	G3	PF13	B6	$\overline{\text{TRST}}$	N1
ADDR4	J13	DR1SEC	F3	PF14	A6	TSCLK0	J1
ADDR5	K13	DT0PRI	H1	PF15	C6	TSCLK1	F1
ADDR6	L13	DT0SEC	H2	PF2	C2	TX	K3
ADDR7	K12	DT1PRI	F2	PF3	C3	VDDEXT	A1
ADDR8	L12	DT1SEC	E3	PF4	B1	VDDEXT	C7
ADDR9	M12	$\overline{\text{EMU}}$	M2	PF5	B2	VDDEXT	C12
$\overline{\text{AMS0}}$	E14	GND	A10	PF6	B3	VDDEXT	D5
$\overline{\text{AMST}}$	F14	GND	A14	PF7	B4	VDDEXT	D9
$\overline{\text{AMS2}}$	F13	GND	B11	PF8	A2	VDDEXT	F12
$\overline{\text{AMS3}}$	G12	GND	C4	PF9	A3	VDDEXT	G4
$\overline{\text{AOE}}$	G13	GND	C5	PPI0	C8	VDDEXT	J4
ARDY	E13	GND	C11	PPI1	B8	VDDEXT	J12
$\overline{\text{ARE}}$	G14	GND	D4	PPI2	A7	VDDEXT	L7
$\overline{\text{AWE}}$	H14	GND	D7	PPI3	B7	VDDEXT	L11
$\overline{\text{BG}}$	P10	GND	D8	PPI_CLK	C9	VDDEXT	P1
$\overline{\text{BGH}}$	N10	GND	D10	$\overline{\text{RESET}}$	C10	VDDINT	D6
BMODE0	N4	GND	D11	RFS0	J3	VDDINT	E4
BMODE1	P3	GND	F4	RFS1	G2	VDDINT	E11
$\overline{\text{BR}}$	D14	GND	F11	RSCLK0	L1	VDDINT	J11
CLKIN	A12	GND	G11	RSCLK1	G1	VDDINT	L4
CLKOUT	B14	GND	H4	RTXI	A9	VDDINT	L9
DATA0	M9	GND	H11	RTXO	A8	VDDRTC	B9
DATA1	N9	GND	K4	RX	L3	VROUT0	A13
DATA10	N6	GND	K11	SA10	E12	VROUT1	B12
DATA11	P6	GND	L5	$\overline{\text{SCAS}}$	C14	XTAL	A11

ADSP-BF531/ADSP-BF532/ADSP-BF533

表 35. 160 引脚 BGA 排列表 (按引脚序号排列)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A1	VDDEXT	C13	$\overline{\text{SMS}}$	H1	DTOPRI	M3	TDI
A2	PF8	C14	$\overline{\text{SCAS}}$	H2	DTOSEC	M4	GND
A3	PF9	D1	SCK	H3	TFS0	M5	DATA12
A4	PF10	D2	PF0	H4	GND	M6	DATA9
A5	PF11	D3	MOSI	H11	GND	M7	DATA6
A6	PF14	D4	GND	H12	$\overline{\text{ABET}}$	M8	DATA3
A7	PPI2	D5	VDDEXT	H13	$\overline{\text{ABE0}}$	M9	DATA0
A8	RTX0	D6	VDDINT	H14	$\overline{\text{AWE}}$	M10	GND
A9	RTXI	D7	GND	J1	TSCLK0	M11	ADDR15
A10	GND	D8	GND	J2	DR0SEC	M12	ADDR9
A11	XTAL	D9	VDDEXT	J3	RFS0	M13	ADDR10
A12	CLKIN	D10	GND	J4	VDDEXT	M14	ADDR11
A13	VROUT0	D11	GND	J11	VDDINT	N1	$\overline{\text{TRST}}$
A14	GND	D12	$\overline{\text{SWE}}$	J12	VDDEXT	N2	TMS
B1	PF4	D13	$\overline{\text{SRAS}}$	J13	ADDR4	N3	TDO
B2	PF5	D14	$\overline{\text{BR}}$	J14	ADDR1	N4	BMODE0
B3	PF6	E1	TFS1	K1	DR0PRI	N5	DATA13
B4	PF7	E2	MISO	K2	TMR2	N6	DATA10
B5	PF12	E3	DT1SEC	K3	TX	N7	DATA7
B6	PF13	E4	VDDINT	K4	GND	N8	DATA4
B7	PPI3	E11	VDDINT	K11	GND	N9	DATA1
B8	PPI1	E12	SA10	K12	ADDR7	N10	$\overline{\text{BGH}}$
B9	VDDRTC	E13	ARDY	K13	ADDR5	N11	ADDR16
B10	NMI	E14	$\overline{\text{AMS0}}$	K14	ADDR2	N12	ADDR14
B11	GND	F1	TSCLK1	L1	RSCLK0	N13	ADDR13
B12	VROUT1	F2	DT1PRI	L2	TMR0	N14	ADDR12
B13	SCKE	F3	DR1SEC	L3	RX	P1	VDDEXT
B14	CLKOUT	F4	GND	L4	VDDINT	P2	TCK
C1	PF1	F11	GND	L5	GND	P3	BMODE1
C2	PF2	F12	VDDEXT	L6	GND	P4	DATA15
C3	PF3	F13	$\overline{\text{AMS2}}$	L7	VDDEXT	P5	DATA14
C4	GND	F14	$\overline{\text{AMST}}$	L8	GND	P6	DATA11
C5	GND	G1	RSCLK1	L9	VDDINT	P7	DATA8
C6	PF15	G2	RFS1	L10	GND	P8	DATA5
C7	VDDEXT	G3	DR1PRI	L11	VDDEXT	P9	DATA2
C8	PPI0	G4	VDDEXT	L12	ADDR8	P10	$\overline{\text{BG}}$
C9	PPI_CLK	G11	GND	L13	ADDR6	P11	ADDR19
C10	$\overline{\text{RESET}}$	G12	$\overline{\text{AMS3}}$	L14	ADDR3	P12	ADDR18
C11	GND	G13	$\overline{\text{AOE}}$	M1	TMR1	P13	ADDR17
C12	VDDEXT	G14	$\overline{\text{ARE}}$	M2	$\overline{\text{EMU}}$	P14	GND

ADSP-BF531/ADSP-BF532/ADSP-BF533

图 44 列出了球形 BGA 封装的引脚配置（顶视图），图 45 列出了球形 BGA 封装的引脚配置（底视图）。

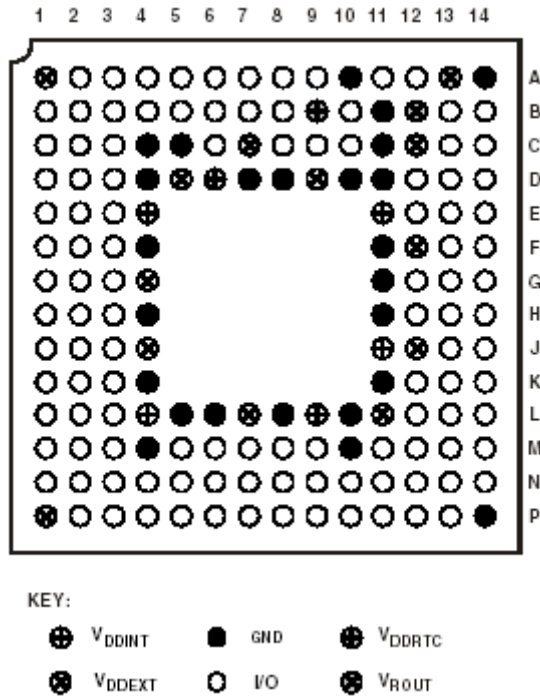


图 44. 160 引脚球型公制 PBGA 引脚配置(顶视图)

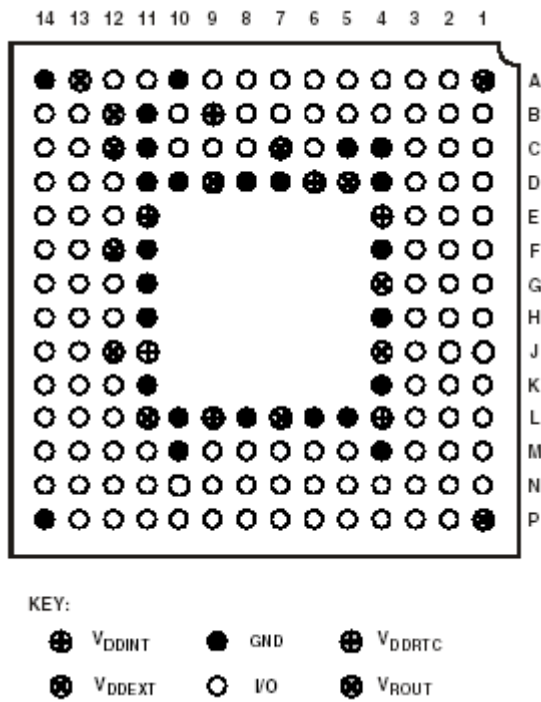


图 45. 160 引脚球型公制 PBGA 引脚配置(底视图)

ADSP-BF531/ADSP-BF532/ADSP-BF533

169-Ball PBGA 引脚

表 36 按信号名称列出了 PBGA 的引脚，表 37 给出了按引脚号排列的 PBGA 的引脚。

表 36. 169 引脚 PBGA 排列表（按字母顺序排列）

Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.
ABE0	H16	DATA12	U7	GND	G10	PF7	A3	VDD	J12
ABE1	H17	DATA13	T7	GND	G11	PF8	B4	VDD	K12
ADDR1	J16	DATA14	U6	GND	H7	PF9	A4	VDD	L12
ADDR10	N16	DATA15	T6	GND	H8	PPI0	B9	VDD	M10
ADDR11	P17	DATA2	U13	GND	H9	PPI1	A9	VDD	M11
ADDR12	P16	DATA3	T11	GND	H10	PPI2	B8	VDD	M12
ADDR13	R17	DATA4	U12	GND	H11	PPI3	A8	VR0UT	B12
ADDR14	R16	DATA5	U11	GND	J7	PPI_CLK	B10	VR0UT	B13
ADDR15	T17	DATA6	T10	GND	J8	RESET	A12	XTAL	A13
ADDR16	U15	DATA7	U10	GND	J9	RFS0	N1		
ADDR17	T15	DATA8	T9	GND	J10	RFS1	J1		
ADDR18	U16	DATA9	U9	GND	J11	RSCLK0	N2		
ADDR19	T14	DR0PRI	M2	GND	K7	RSCLK1	J2		
ADDR2	J17	DR0SEC	M1	GND	K8	RTCVD	F10		
ADDR3	K16	DR1PRI	H1	GND	K9	RTXI	A10		
ADDR4	K17	DR1SEC	H2	GND	K10	RTXO	A11		
ADDR5	L16	DT0PRI	K2	GND	K11	RX	T1		
ADDR6	L17	DT0SEC	K1	GND	L7	SA10	B15		
ADDR7	M16	DT1PRI	F1	GND	L8	SCAS	A16		
ADDR8	M17	DT1SEC	F2	GND	L9	SCK	D1		
ADDR9	N17	EMU	U1	GND	L10	SCKE	B14		
AMS0	D17	EVDD	B2	GND	L11	SMS	A17		
AMS1	E16	EVDD	F6	GND	M9	SRAS	A15		
AMS2	E17	EVDD	F7	GND	T16	SWE	B17		
AMS3	F16	EVDD	F8	MISO	E2	TCK	U4		
AOE	F17	EVDD	F9	MOSI	E1	TDI	U3		
ARDY	C16	EVDD	G6	NMI	B11	TDO	T4		
ARE	G16	EVDD	H6	PF0	D2	TFS0	L1		
AWE	G17	EVDD	J6	PF1	C1	TFS1	G2		
BG	T13	EVDD	K6	PF10	B5	TMR0	R1		
BGH	U17	EVDD	L6	PF11	A5	TMR1	P2		
BMODE0	U5	EVDD	M6	PF12	A6	TMR2	P1		
BMODE1	T5	EVDD	M7	PF13	B6	TMS	T3		
BR	C17	EVDD	M8	PF14	A7	TRST	U2		
CLKIN	A14	EVDD	T2	PF15	B7	TSCLK0	L2		
CLKOUT	D16	GND	B16	PF2	B1	TSCLK1	G1		
DATA0	U14	GND	F11	PF3	C2	TX	R2		
DATA1	T12	GND	G7	PF4	A1	VDD	F12		
DATA10	T8	GND	G8	PF5	A2	VDD	G12		
DATA11	U8	GND	G9	PF6	B3	VDD	H12		

ADSP-BF531/ADSP-BF532/ADSP-BF533

表 37. 169 引脚 PBGA 排列表 (按引脚序号排列)

Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal	Ball No.	Signal
A1	PF [4]	D16	CLKOUT	J2	RSCLK1	M12	VDD	U8	DATA [11]
A2	PF [5]	D17	AMS [0]	J6	EVDD	M16	ADDR [7]	U9	DATA [9]
A3	PF [7]	E1	MOSI	J7	GND	M17	ADDR [8]	U10	DATA [7]
A4	PF [9]	E2	MISO	J8	GND	N1	RF50	U11	DATA [5]
A5	PF [11]	E16	AMS [1]	J9	GND	N2	RSCLK0	U12	DATA [4]
A6	PF [12]	E17	AMS [2]	J10	GND	N16	ADDR [10]	U13	DATA [2]
A7	PF [14]	F1	DT1PRI	J11	GND	N17	ADDR [9]	U14	DATA [0]
A8	PPI [3]	F2	DT1SEC	J12	VDD	P1	TMR2	U15	ADDR [16]
A9	PPI [1]	F6	EVDD	J16	ADDR [1]	P2	TMR1	U16	ADDR [18]
A10	RTXI	F7	EVDD	J17	ADDR [2]	P16	ADDR [12]	U17	BGH
A11	RTXO	F8	EVDD	K1	DT0SEC	P17	ADDR [11]		
A12	RESET	F9	EVDD	K2	DT0PRI	R1	TMR0		
A13	XTAL	F10	RTCVDD	K6	EVDD	R2	TX		
A14	CLKIN	F11	GND	K7	GND	R16	ADDR [14]		
A15	SRAS	F12	VDD	K8	GND	R17	ADDR [13]		
A16	SCAS	F16	AMS [3]	K9	GND	T1	RX		
A17	SMS	F17	AOE	K10	GND	T2	EVDD		
B1	PF [2]	G1	TSCLK1	K11	GND	T3	TMS		
B2	EVDD	G2	TFS1	K12	VDD	T4	TDO		
B3	PF [6]	G6	EVDD	K16	ADDR [3]	T5	BMODE [1]		
B4	PF [8]	G7	GND	K17	ADDR [4]	T6	DATA [15]		
B5	PF [10]	G8	GND	L1	TFS0	T7	DATA [13]		
B6	PF [13]	G9	GND	L2	TSCLK0	T8	DATA [10]		
B7	PF [15]	G10	GND	L6	EVDD	T9	DATA [8]		
B8	PPI [2]	G11	GND	L7	GND	T10	DATA [6]		
B9	PPI [0]	G12	VDD	L8	GND	T11	DATA [3]		
B10	PPI_CLK	G16	ARE	L9	GND	T12	DATA [1]		
B11	NMI	G17	AWE	L10	GND	T13	BG		
B12	VROUT	H1	DR1PRI	L11	GND	T14	ADDR [19]		
B13	VROUT	H2	DR1SEC	L12	VDD	T15	ADDR [17]		
B14	SCKE	H6	EVDD	L16	ADDR [5]	T16	GND		
B15	SA10	H7	GND	L17	ADDR [6]	T17	ADDR [15]		
B16	GND	H8	GND	M1	DR0SEC	U1	EMU		
B17	SWE	H9	GND	M2	DR0PRI	U2	TRST		
C1	PF [1]	H10	GND	M6	EVDD	U3	TDI		
C2	PF [3]	H11	GND	M7	EVDD	U4	TCK		
C16	ARDY	H12	VDD	M8	EVDD	U5	BMODE [0]		
C17	BR	H16	ABE [0]	M9	GND	U6	DATA [14]		
D1	SCK	H17	ABE [1]	M10	VDD	U7	DATA [12]		
D2	PF [0]	J1	RFS1	M11	VDD	U8	DATA [11]		

ADSP-BF531/ADSP-BF532/ADSP-BF533

176-LEAD LQFP 引脚

表 38 按信号名称列出了 LQFP 的引脚，表 39 给出了按引脚号排列的 LQFP 引脚。

表 38. 176 引脚 LQFP 排列表（按字母顺序排列）

Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.
ABE0	151	DATA11	102	GND	88	PPI_CLK	21	VDDEXT	71
ABET	150	DATA12	101	GND	89	PPI0	22	VDDEXT	93
ADDR1	149	DATA13	100	GND	90	PPI1	23	VDDEXT	107
ADDR10	137	DATA14	99	GND	91	PPI2	24	VDDEXT	118
ADDR11	136	DATA15	98	GND	92	PPI3	26	VDDEXT	134
ADDR12	135	DATA2	114	GND	97	RESET	13	VDDEXT	145
ADDR13	127	DATA3	113	GND	106	RFS0	75	VDDEXT	156
ADDR14	126	DATA4	112	GND	117	RFS1	64	VDDEXT	171
ADDR15	125	DATA5	110	GND	128	RSCLK0	76	VDDINT	25
ADDR16	124	DATA6	109	GND	129	RSCLK1	65	VDDINT	52
ADDR17	123	DATA7	108	GND	130	RTXI	17	VDDINT	66
ADDR18	122	DATA8	105	GND	131	RTXO	16	VDDINT	80
ADDR19	121	DATA9	104	GND	132	RX	82	VDDINT	111
ADDR2	148	DR0PRI	74	GND	133	SA10	164	VDDINT	143
ADDR3	147	DR0SEC	73	GND	144	SCAS	166	VDDINT	157
ADDR4	146	DR1PRI	63	GND	155	SCK	53	VDDINT	168
ADDR5	142	DR1SEC	62	GND	170	SCKE	173	VDDRTC	18
ADDR6	141	DT0PRI	68	GND	174	SMS	172	VROUT1	5
ADDR7	140	DT0SEC	67	GND	175	SRAS	167	VROUT2	4
ADDR8	139	DT1PRI	59	GND	176	SWE	165	XTAL	11
ADDR9	138	DT1SEC	58	MISO	54	TCK	94		
AMS0	161	EMU	83	MOSI	55	TDI	86		
AMST	160	GND	1	NMI	14	TDO	87		
AMS2	159	GND	2	PF0	51	TFS0	69		
AMS3	158	GND	3	PF1	50	TFS1	60		
AOE	154	GND	7	PF10	34	TMR0	79		
ARDY	162	GND	8	PF11	33	TMR1	78		
ARE	153	GND	9	PF12	32	TMR2	77		
AWE	152	GND	15	PF13	29	TMS	85		
BG	119	GND	19	PF14	28	TRST	84		
BGH	120	GND	30	PF15	27	TSCLK0	72		
BMODE0	96	GND	39	PF2	49	TSCLK1	61		
BMODE1	95	GND	40	PF3	48	TX	81		
BR	163	GND	41	PF4	47	VDDEXT	6		
CLKIN	10	GND	42	PF5	46	VDDEXT	12		
CLKOUT	169	GND	43	PF6	38	VDDEXT	20		
DATA0	116	GND	44	PF7	37	VDDEXT	31		
DATA1	115	GND	56	PF8	36	VDDEXT	45		
DATA10	103	GND	70	PF9	35	VDDEXT	57		

ADSP-BF531/ADSP-BF532/ADSP-BF533

表 39.176 引脚 LQFP 排列表 (按引脚序号排列)

Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal	Lead No.	Signal
1	GND	41	GND	81	TX	121	ADDR19	161	AMS0
2	GND	42	GND	82	RX	122	ADDR18	162	ARDY
3	GND	43	GND	83	EMU	123	ADDR17	163	BR
4	VROUT2	44	GND	84	TRST	124	ADDR16	164	SA10
5	VROUT1	45	VDDEXT	85	TMS	125	ADDR15	165	SWE
6	VDDEXT	46	PF5	86	TDI	126	ADDR14	166	SCAS
7	GND	47	PF4	87	TDO	127	ADDR13	167	SRAS
8	GND	48	PF3	88	GND	128	GND	168	VDDINT
9	GND	49	PF2	89	GND	129	GND	169	CLKOUT
10	CLKIN	50	PF1	90	GND	130	GND	170	GND
11	XTAL	51	PF0	91	GND	131	GND	171	VDDEXT
12	VDDEXT	52	VDDINT	92	GND	132	GND	172	SMS
13	RESET	53	SCK	93	VDDEXT	133	GND	173	SCKE
14	NMI	54	MISO	94	TCK	134	VDDEXT	174	GND
15	GND	55	MOSI	95	BMODE1	135	ADDR12	175	GND
16	RTXO	56	GND	96	BMODE0	136	ADDR11	176	GND
17	RTXI	57	VDDEXT	97	GND	137	ADDR10		
18	VDDRTC	58	DT1SEC	98	DATA15	138	ADDR9		
19	GND	59	DT1PRI	99	DATA14	139	ADDR8		
20	VDDEXT	60	TFS1	100	DATA13	140	ADDR7		
21	PPI_CLK	61	TSCLK1	101	DATA12	141	ADDR6		
22	PPI0	62	DR1SEC	102	DATA11	142	ADDR5		
23	PPI1	63	DR1PRI	103	DATA10	143	VDDINT		
24	PPI2	64	RFS1	104	DATA9	144	GND		
25	VDDINT	65	RSCLK1	105	DATA8	145	VDDEXT		
26	PPI3	66	VDDINT	106	GND	146	ADDR4		
27	PF15	67	DT0SEC	107	VDDEXT	147	ADDR3		
28	PF14	68	DT0PRI	108	DATA7	148	ADDR2		
29	PF13	69	TFS0	109	DATA6	149	ADDR1		
30	GND	70	GND	110	DATA5	150	ABET		
31	VDDEXT	71	VDDEXT	111	VDDINT	151	ABE0		
32	PF12	72	TSCLK0	112	DATA4	152	AWE		
33	PF11	73	DR0SEC	113	DATA3	153	ARE		
34	PF10	74	DR0PRI	114	DATA2	154	AOE		
35	PF9	75	RFS0	115	DATA1	155	GND		
36	PF8	76	RSCLK0	116	DATA0	156	VDDEXT		
37	PF7	77	TMR2	117	GND	157	VDDINT		
38	PF6	78	TMR1	118	VDDEXT	158	AMS3		
39	GND	79	TMR0	119	BG	159	AMS2		
40	GND	80	VDDINT	120	BGH	160	AMS1		

ADSP-BF531/ADSP-BF532/ADSP-BF533

外形尺寸

图 46—160 引脚 mini-BGA (BC-160) 封装,

图 47—176 引脚 LQFP (ST-176-1) 封装,

图 48—169 引脚 PBGA (B-169)

单位均为 mm。

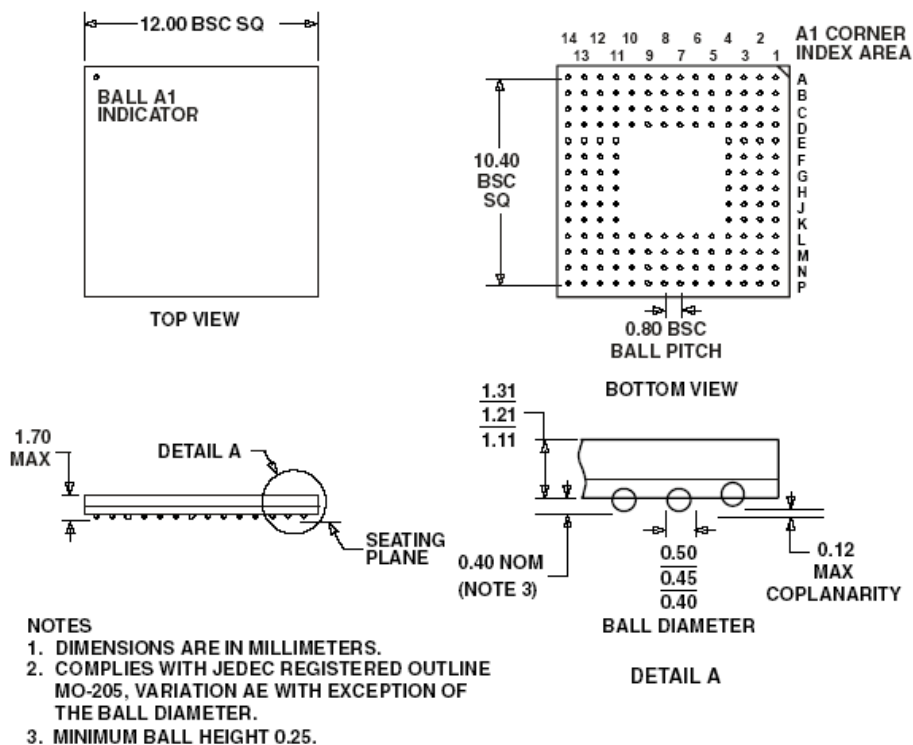


图 46. 160 引脚 mini-BGA (BC-160)

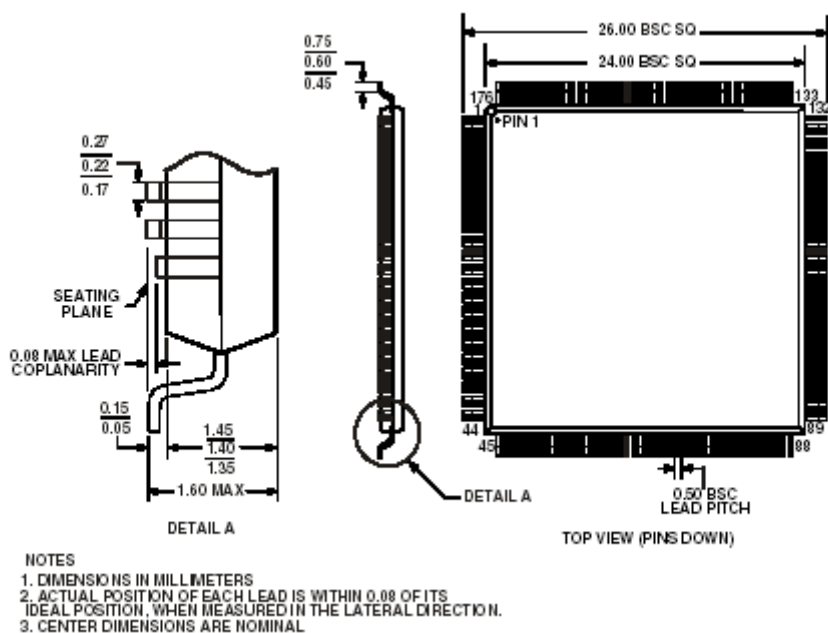


图 47. 176 引脚 LQFP (ST-176-1)

ADSP-BF531/ADSP-BF532/ADSP-BF533

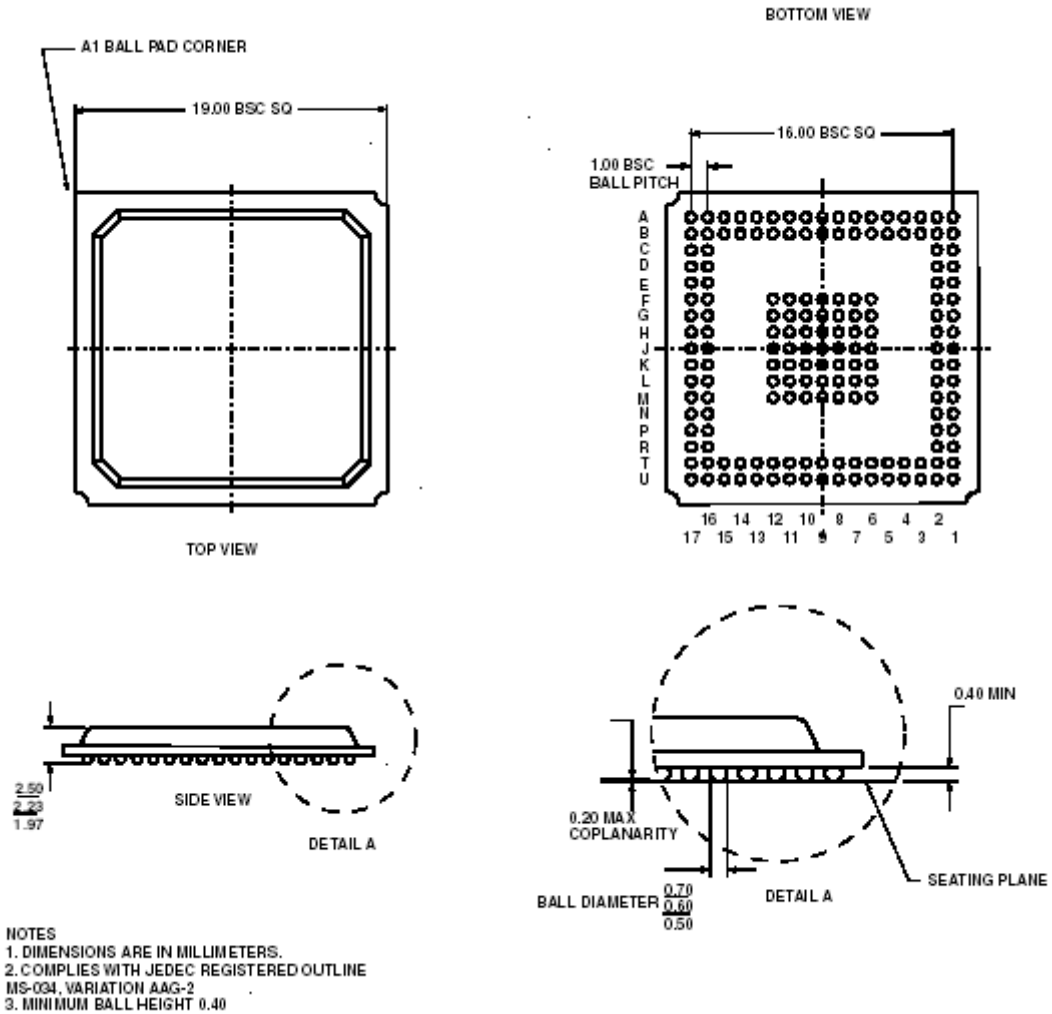


图 48.169 引脚 PBGA (B-169)

订购指导

型号	外壳温度范围	封装描述	指令速度	工作电压
ADSP-BF533SKBC600	0°C ~70°C	mini-BGA BC-160	600MHz	内部电压 1.26V, I/O 端口 2.5 或 3.3V
ADSP-BF533SKBCZ600 ¹	0°C ~70°C	mini-BGA BC-160	600MHz	内部电压 1.26V, I/O 端口 2.5 或 3.3V
ADSP-BF533SBBC500	-40°C ~85°C	mini-BGA BC-160	500 MHz	内部电压 1.26V, I/O 端口 2.5 或 3.3V
ADSP-BF533SBBZ500 ¹	-40°C ~85°C	PBGA B-169	500 MHz	内部电压 1.26V, I/O 端口 2.5 或 3.3V
ADSP-BF532SBBC400	-40°C ~85°C	mini-BGA BC-160	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V
ADSP-BF532SBST400	-40°C ~85°C	LQFP ST-176-1	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V
ADSP-BF532SBBZ400 ¹	-40°C ~85°C	PBGA B-169	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V
ADSP-BF531SBBC400	-40°C ~85°C	mini-BGA BC-160	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V
ADSP-BF531SBST400	-40°C ~85°C	LQFP ST-176-1	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V
ADSP-BF531SBSTZ400 ¹	-40°C ~85°C	LQFP ST-176-1	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V
ADSP-BF531SBBZ400 ¹	-40°C ~85°C	PBGA B-169	400 MHz	内部电压 1.2V, I/O 端口 2.5 或 3.3V

¹ Z=Pb-free part